

## ИНТЕРФЕЙС ПАМЯТИ 10

### 10.1 ОБЗОР

В процессорах семейства ADSP-2100 используется модифицированная Гарвардская архитектура, для которой характерно то, что в памяти данных хранятся данные, а в памяти программы - как команды, так и данные. Во всех процессорах семейства имеется внутреннее ОЗУ и/или ПЗУ, таким образом, область памяти программы и область памяти данных частично находятся на кристалле. В дополнение к областям памяти данных и памяти программы, у всех процессоров семейства (кроме ADSP-2181) имеется также область памяти начальной загрузки. В процессоре ADSP-2181, вместо памяти начальной загрузки, используется байтовая память. И та и другая используется для загрузки кода памяти программы с внешнего источника (например, ППЗУ) при перезапуске процессора.

В каждом процессоре семейства ADSP-2100 память соединена с другими функциональными устройствами через четыре внутренние шины: шину адреса памяти данных (АПД), шину данных памяти данных (ДПД), шину адреса памяти программы (АПП) и шину данных памяти программы (ДПП). Внутренние шины АПП и АПД выводятся вне кристалла в виде единой мультиплексированной шины адреса. Аналогичным образом, внутренние шины ДПП и ДПД также мультиплексированы в единую шину данных, которая выводится вне кристалла. Шестнадцать самых старших битов внешней шины данных используются как шина ДПД. Другими словами,  $D_{23-8}$  используются как  $ДПД_{15-0}$ .

В процессоре имеются три отдельные области памяти: память данных, память программы и память начальной загрузки (или байтовая память), - на доступ к которым указывают сигналы  $\overline{PMS}$ ,  $\overline{DMS}$  и  $\overline{BMS}$  соответственно. Так как шины памяти программы и памяти данных используются совместно, несколько операций пересылки данных на периферийные устройства в течение одной команды потребуют одного лишнего цикла. Непроизводительных задержек не возникает тогда, когда в каждой команде требуется только одно обращение к устройствам вне кристалла и нет состояний ожидания. Внешние шины памяти и управляющие сигналы всех процессоров семейства, кроме ADSP-2181, показаны на рис. 10.1.

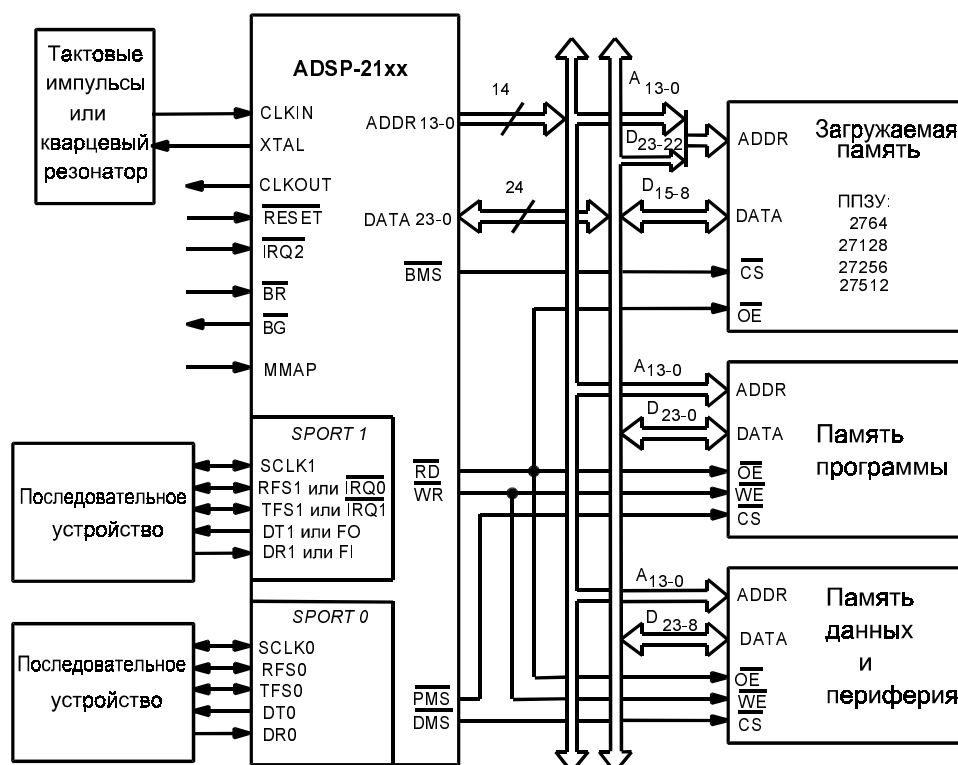
При использовании всех видов внешней памяти состояния ожидания могут генерироваться автоматически. Число состояний ожидания - каждое из которых равно по длительности одному командному циклу - программируется.

В данной главе приводятся примеры синхронизации интерфейса памяти процессоров семейства ADSP-2100. Эти диаграммы отражают только последовательность событий для каждого протокола шины; реальные временные характеристики процессоров приведены в их технических описаниях. На всех вре-

## 10 ИНТЕРФЕЙС ПАМЯТИ

менных диаграммах в качестве опорного синхронизирующего сигнала используется CLKOUT.

В конце главы дается отдельное описание интерфейса памяти процессора ADSP-2181.



Примечание 1:

Данный рисунок не отражает характеристики интерфейса памяти процессора ADSP-2181.

Примечание 2:

В процессорах ADSP-217x, ADSP-218x и ADSP-21msp58/59 используется входной тактовый сигнал с частотой  $1/2 \times \text{CLKIN}$ .

Примечание 3:

Неиспользуемые линии данных могут быть отключены.

Примечание 4:

Два самых старших бита шины данных ( $D_{23-22}$ ) используются для двух самых старших битов адреса загружаемой из ППЗУ памяти. Это требуется только для микросхем 27256 и 27512.

**Рис. 10.1 Сопряжение процессора семейства ADSP-2100 с внешней памятью**

## ИНТЕРФЕЙС ПАМЯТИ 10

### 10.2 ИНТЕРФЕЙС ПАМЯТИ ПРОГРАММЫ

В данном разделе содержится описание интерфейса памяти программ всех процессоров семейства, кроме ADSP-2181.

Процессор адресует 16К 24-битовых слов памяти программ, до 2К на кристалле и остальное - во внешней памяти, используя линии управления, которые показаны на рис. 10.1. Процессор передает 14-битовые адреса по шине адреса памяти программ (АПП), которая выводится вне кристалла по шине адреса при обращении процессора к внешней памяти программ. Команды или данные передаются по 24-разрядной шине данных памяти программ (ДПП), которая также мультиплексирована вне кристалла. В случае двойной выборки данных сначала считываются данные из памяти программ, а затем из памяти данных. Вывод выбора памяти программы  $\overline{PMS}$  указывает на то, что по шине адреса передается адрес памяти программ, и что эта память может быть выбрана.

На направление передачи указывают две линии управления. Считывание памяти ( $\overline{RD}$ ) и запись в память ( $\overline{WR}$ ) производится по низкому уровню. Как правило,  $\overline{PMS}$  подсоединяется к  $\overline{CE}$  (кристалл процессора доступен),  $\overline{RD}$  - к  $\overline{OE}$  (выход разрешен), а  $\overline{WR}$  - к  $\overline{WE}$  (запись разрешена).

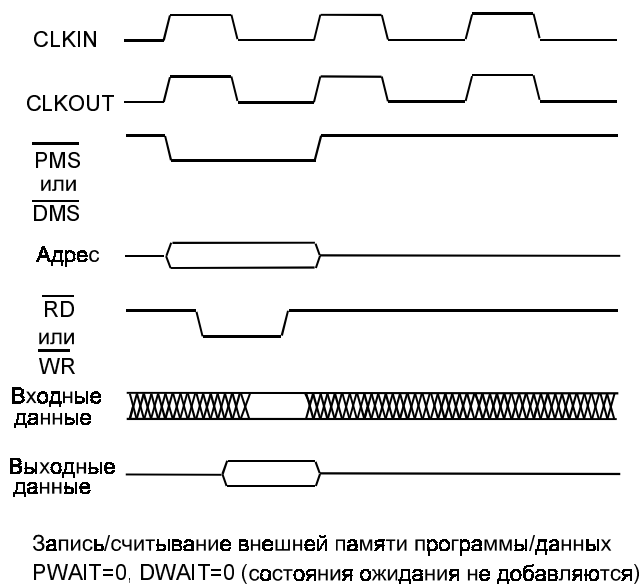
#### 10.2.1 Запись/считывание внешней памяти программ

Во время обращения к внутренней памяти на кристалле никаких внешних сигналов не запускается.  $\overline{PMS}$ ,  $\overline{DMS}$ ,  $\overline{RD}$  и  $\overline{WR}$  остаются высокими (не выставляются); шины адреса и данных находятся в третьем состоянии. Обращение к внешней памяти программ осуществляется в следующей последовательности:

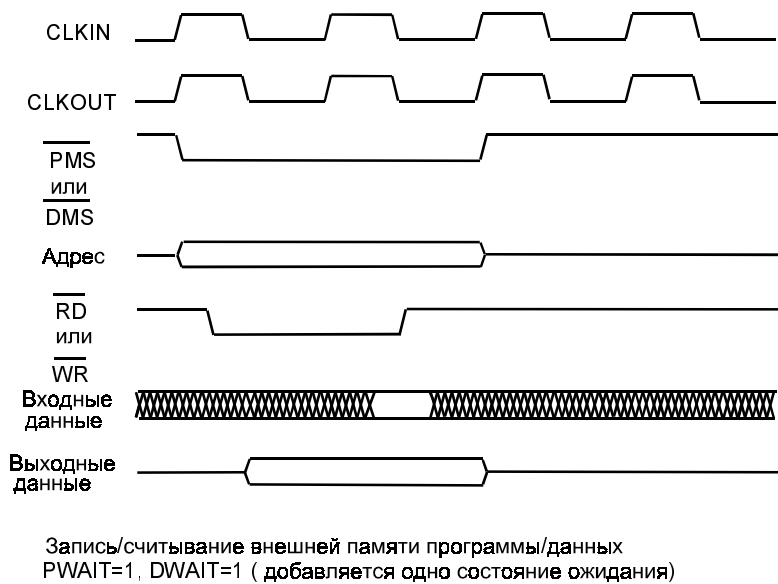
1. Процессор помещает адрес на шину АПП, которая мультиплексирована вне кристалла, и выставляет  $\overline{PMS}$ .
2. Выставляется  $\overline{RD}$  или  $\overline{WR}$ .
3. В течение установленного периода времени данные помещаются на шину данных, связанную с внутренней шиной ДПП.
4. Осуществляется запись или считывание данных, и  $\overline{WR}$  (или  $\overline{RD}$ ) снимается.
5.  $\overline{PMS}$  снимается.

Основные циклы считывания и записи показаны на рис.10.2А и 10.2Б. На рис.10.2А рассмотрен случай, когда состояния ожидания отсутствуют, на рис. 10.2Б отображены циклы считывания и записи при одном состоянии ожидания.

## 10 ИНТЕРФЕЙС ПАМЯТИ



**Рис. 10.2А** Запись и считывание из памяти, нет состояний ожидания



**Рис. 10.2Б** Запись и считывание из памяти, одно состояние ожидания

## ИНТЕРФЕЙС ПАМЯТИ 10

Интерфейс памяти программ может генерировать от 0 до 7 состояний ожидания для внешнего запоминающего устройства. Соответствующая группа разрядов (PWAIT) в регистре управления системой программирует состояния ожидания, что можно видеть на рис. 10.3. После перезапуска по умолчанию устанавливается семь состояний ожидания для обращения к памяти программ.



**Рис. 10.3** Группа разрядов состояний ожидания памяти программ в регистре управления системой

### 10.2.2 Конфигурации памяти программ

Во всех процессорах семейства, имеющих ОЗУ, (кроме ADSP-2181), область памяти программ отображается в одной из двух возможных конфигураций, в зависимости от состояния вывода MMAP. Эти конфигурации приведены на рис. 10.4 для процессоров с 2К внутренней памяти программы (ADSP-2101, ADSP-2111, ADSP-2171, ADSP-21msp58) и на рис. 10.5 для процессоров с 1К внутренней памяти программы (ADSP-2105 и ADSP-2115).

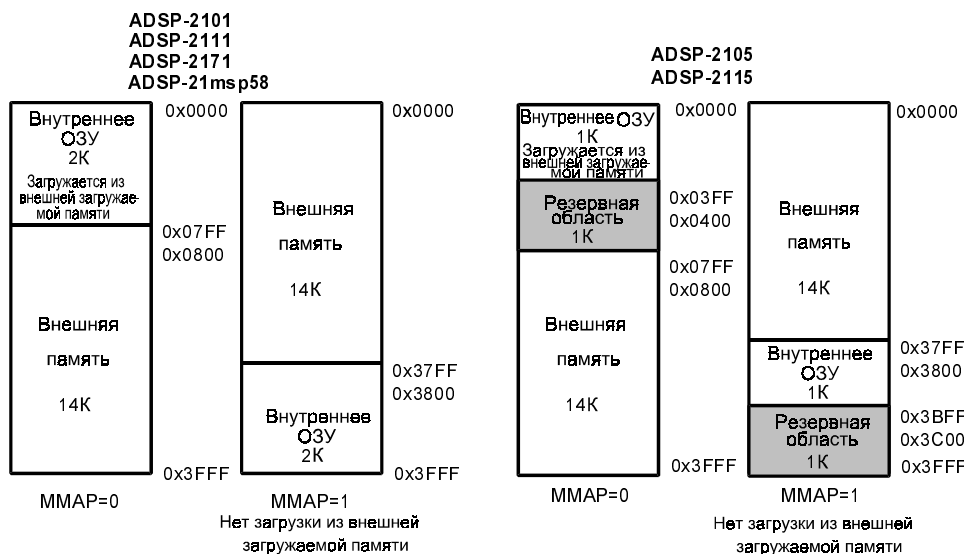
При MMAP=0 внутреннее ОЗУ занимает 2К слов начиная с нулевого адреса (0x0000). В данной конфигурации инициализация начальной загрузки происходит автоматически после снятия сигнала RESET (как разъясняется в разделе "Интерфейс памяти начальной загрузки").

При MMAP=1 слова внешней памяти программ начинаются с нулевого адреса (0x0000), а внутреннее ОЗУ занимает 2К слов, начиная с адреса 0x3800. В такой конфигурации память программ не загружается, но может считываться и записываться под управлением программных средств.

В области памяти программ может содержаться любая комбинация команд и данных. Редактор связей процессоров семейства ADSP-2100 определяет, куда поместить перемещаемый код программы и сегменты данных. Для каждого модуля или структуры данных, можно задать абсолютный адрес, включая ячейки

## 10 ИНТЕРФЕЙС ПАМЯТИ

для кода векторов перезапуска и прерываний. Вектор перезапуска хранится в памяти программы по адресу 0x0000. Ячейки, в которых содержатся вектора прерываний, приводятся в Приложении D.



**Рис. 10.4 Конфигурация памяти программ (внутреннее ОЗУ 2К слов)**

**Рис.10.5 Конфигурация памяти Программ (внутреннее ОЗУ 1К слов)**

Внутреннее ОЗУ программ обладает достаточным быстродействием для извлечения команд и данных в том же цикле, что исключает необходимость в кэш-памяти. Следовательно, если процессор работает, используя только внутреннюю память, он может в каждом цикле выбирать два операнда и следующую команду. Он также может осуществлять выборку либо одного операнда, либо одной команды из внешней памяти без изменений его рабочих характеристик к худшему.

### 10.2.3 Конфигурации ПЗУ программы

В процессорах ADSP-2172 и ADSP-21msp59 имеется программируемое с помощью фотошаблонов ПЗУ. Конфигурации памяти программ для этих процессоров показаны на рисунках 10.6 и 10.7, соответственно. В ADSP-2172 имеется 8К слов ПЗУ, в процессоре ADSP-21msp59 - 4К.

ПЗУ процессоров ADSP-2172 и ADSP-21msp59 активизируется путем установки бита ROMENABLE в регистре управления состояниями ожидания

## ИНТЕРФЕЙС ПАМЯТИ 10

памяти данных (по адресу DM[0x3FFE]). Если этот бит равен 1, то при адресации памяти программ в указанном диапазоне будет получен доступ к внутреннему ПЗУ на кристалле. Если бит ROMENABLE равен 0, то при адресации программ в указанном диапазоне будет получен доступ к внешней памяти программ. За исключением того случая, когда и MMAP и BMODE равны 1, бит ROMENABLE содержит значение 0 после перезапуска.

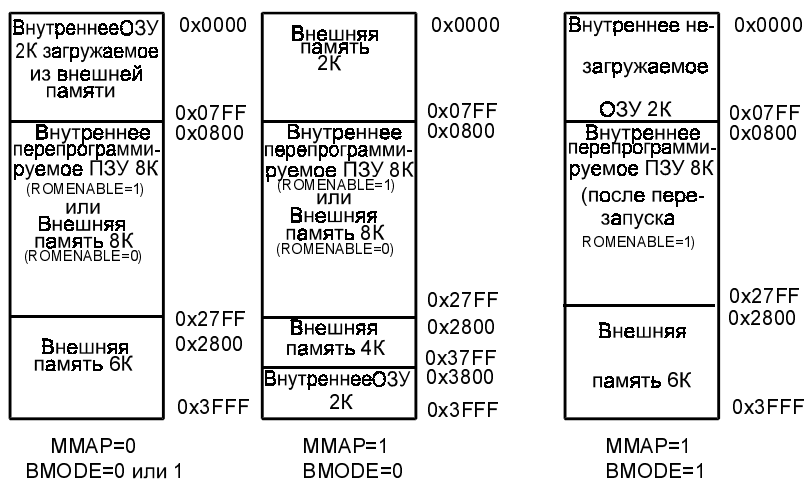


Рис. 10.6 Конфигурации памяти программ процессора ADSP-2172.



Рис. 10.7 Конфигурации памяти программ процессора ADSP-21msp59

## 10 ИНТЕРФЕЙС ПАМЯТИ

Если на обоих выводах MMAP и BMODE установлено значение 1, то процессор ADSP-2172 (или ADSP-21msp59) будет выполнять команды ПЗУ в *автономном режиме*. Когда MMAP=1 и BMODE=1, активизация ПЗУ происходит автоматически, а выполнение программы начинается с ячейки памяти программ по адресу 0x0800 в начале области ПЗУ. Это позволяет процессору работать по вложенной схеме без элементов внешней памяти. Для работы в таком режиме необходимо, чтобы содержащаяся в ПЗУ программа скопировала таблицу векторов прерывания по адресу соответствующих ячеек в ОЗУ программы. При данном режиме работы бит ROMENABLE после перезапуска по умолчанию равен 1. Режимы выполнения начальной загрузки и запуска процессоров ADSP-2172 ADSP-21msp59 обобщены в табл. 10.1.

Таблица 10.1

**Режим начальной загрузки для процессоров ADSP-2172 и ADSP-21msp59**

|        | BMODE=0  | BMODE=1  |
|--------|--|--|
| MMAP=0 | Загрузка с ППЗУ, затем выполнение программы начинается по адресу 0x0000 внутреннего ОЗУ. | Загрузка через ХИП затем выполнение программы начинается по адресу 0x0000 внутреннего ОЗУ. |
| MMAP=1 | Загрузки не происходит, выполнение программы начинается по адресу 0x0000 внешней памяти. | Автономный режим, выполнение программы начинается по адресу 0x0800 внутреннего ПЗУ.        |

Процессоры ADSP-216х представляют собой варианты процессоров ADSP-2101 и ADSP-2103 с программируемым внутренним ПЗУ программы. Процессоры, созданные на базе ADSP-2101, (ADSP-2161, ADSP-2163, ADSP-2165) имеют напряжение питания 5В. Процессоры на базе ADSP-2103 (ADSP-2162, ADSP-2164, ADSP-2166) имеют напряжение питания 3,3В. Указанные устройства различаются объемом внутренней памяти для хранения программы и данных, что отражено в табл. 10.2.

Таблица 10.2

**Процессоры ADSP-216х с ПЗУ программы**

| Характеристика | 2161 | 2162 | 2163 | 2164 | 2165 | 2166 |
|----------------|------|------|------|------|------|------|
| ОЗУ данных     | 1/2К | 1/2К | 1/2К | 1/2К | 4К   | 4К   |
| ПЗУ программы  | 8К   | 8К   | 4К   | 4К   | 12К  | 12К  |
| ОЗУ программы  | -    | -    | -    | -    | 1К   | 1К   |

Конфигурации памяти программы процессоров ADSP-2161/62, ADSP-2163/64, ADSP-2165/66 показаны на рисунках 10.8, 10.9 и 10.10, соответственно.



## ИНТЕРФЕЙС ПАМЯТИ 10

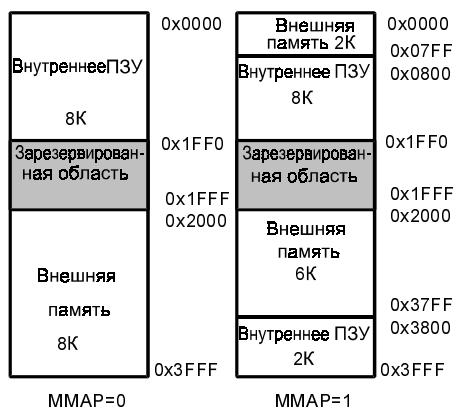


Рис. 10.8 Конфигурации памяти программ процессора ADSP-2161/62



Рис. 10.9 Конфигурации памяти программ процессора ADSP-2163/64

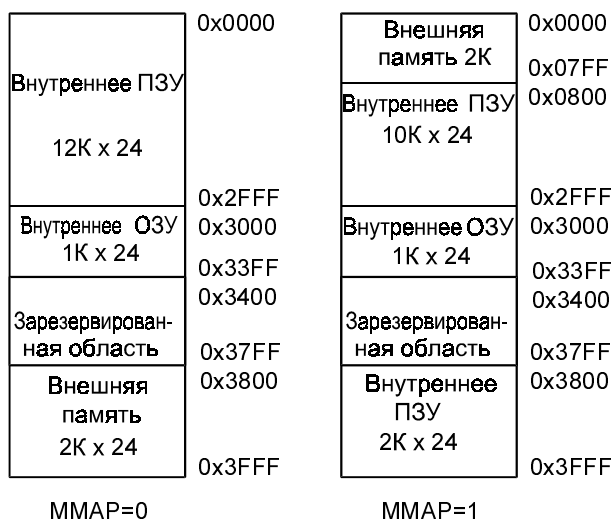


Рис. 10.10 Конфигурации памяти программ процессора ADSP-2165/66

### 10.3 Интерфейс памяти данных

В данном разделе содержится описание интерфейса памяти данных всех процессоров семейства ADSP-2100, за исключением процессора ADSP-2181.

Процессор передает 14-разрядный адрес на шину адреса памяти данных (АПД), которая мультиплексирована вне кристалла. Для передачи данных используются 16 старших бит 24-разрядной шины памяти данных, которая также

## 10 ИНТЕРФЕЙС ПАМЯТИ

мультиплексирована вне кристалла. Вывод памяти данных,  $\overline{\text{DMS}}$ , указывает на то, что по шине адреса передается адрес памяти данных, и что может быть выбрана память.

Направление передачи указывается двумя управляющими линиями. Считывание из памяти ( $\overline{\text{RD}}$ ) и запись в память ( $\overline{\text{WR}}$ ) производятся по низкому уровню. Обычно,  $\overline{\text{DMS}}$  подсоединяется к  $\overline{\text{CE}}$  (кристалл доступен),  $\overline{\text{RD}}$  - к  $\overline{\text{OE}}$  (выход разрешен), а  $\overline{\text{WR}}$  - к  $\overline{\text{WE}}$  (запись разрешена).

### 10.3.1 Запись/считывание памяти данных

Интерфейс внешней памяти обладает свойством прозрачности (инвариантности к различным схемам кодирования) при обращении к внутренней памяти данных на кристалле и запускается только при обращении к внешним устройствам. Обращение к внешней памяти данных производится в той же последовательности, что и обращение к внешней памяти программы, а именно:

1. Процессор помещает адрес на шину АДП, которая мультиплексирована вне кристалла, и выставляет  $\overline{\text{DMS}}$ .
2. Выставляется  $\overline{\text{RD}}$  или  $\overline{\text{WR}}$ .
3. В течение установленного периода времени данные помещаются на шину данных, связанную с внутренней шиной ДПД.
4. Осуществляется запись или считывание данных, и  $\overline{\text{WR}}$  (или  $\overline{\text{RD}}$ ) снимается.
5.  $\overline{\text{DMS}}$  снимается.

Основные циклы записи и считывания были приведены ранее на рис.10.2А и рис.10.2Б.

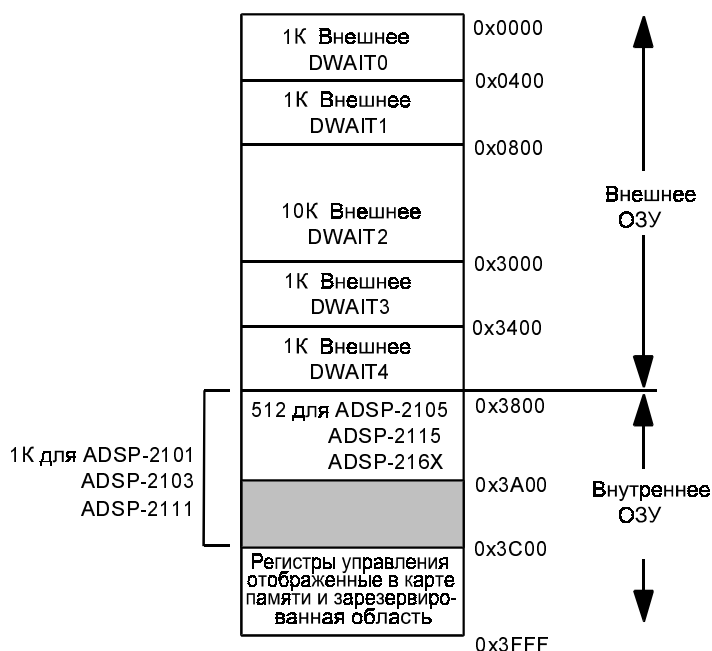
В случае двойной выборки данных из внешней памяти, сначала считываются данные из памяти программы, а затем из памяти данных.

### 10.3.2 Конфигурации памяти данных

Процессор может произвести адресацию 16К слов 16-разрядной памяти данных. В процессорах ADSP-2101 и ADSP-2111 внутренняя память данных на кристалле содержит 1К слов и начинается по адресу 0x3800. В процессорах ADSP-2105 и ADSP-2115 внутренняя память данных содержит 512 ячеек и также начинается по адресу 0x3800. Внутренняя память данных процессоров ADSP-2171 и ADSP-21msp58/59 содержит 2К слов и начинается по адресу 0x3000.

Регистры управления и состояний процессора отображены в верхних 1К слов памяти данных по адресам 0x3C00-0x3FFF. Остальные ячейки верхних 1К слов остаются резервными. Для хранения дополнительных данных может использоваться внешняя память данных. Конфигурации памяти данных каждого процессора семейства ADSP-2100 показаны на рисунках 10.11, 10.12 и 10.13.

## ИНТЕРФЕЙС ПАМЯТИ 10



**Рис. 10.11 Конфигурация памяти данных (ADSP-2101, ADSP-2111, ADSP-2105, ADSP-2115, ADSP-2161/62/63/64)**

Как можно видеть на рис. 10.11, в процессорах ADSP-2101, ADSP-2105, ADSP-2111, ADSP-2115, ADSP-2161/62/63/64 предусмотрено пять зон состояний ожидания внешней памяти (DWAIT0-DWAIT4). Каждая из этих пяти зон внешней памяти данных имеет собственное число программируемых состояний ожидания. Состояниями ожидания называются дополнительные циклы, в течение которых процессор либо ожидает перед тем, как зафиксировать данные (при считывании), либо выводит данные (при записи). Это означает, что одна зона памяти может использоваться для работы с отображенными в карте памяти периферийными устройствами с одной скоростью работы, в то время как другая зона используется для работы с более быстродействующими или медленными периферийными устройствами. Аналогичным образом, более медленные или быстродействующие сегменты памяти могут использоваться для различных целей, поскольку они расположены в различных зонах карты памяти данных.

Как показано на рисунках 10.12 и 10.13, в процессорах ADSP-2171, ADSP-2158/59 и ADSP-2165/66 предусмотрено три зоны программирования состояний ожидания для внешней памяти данных.

## 10 ИНТЕРФЕЙС ПАМЯТИ

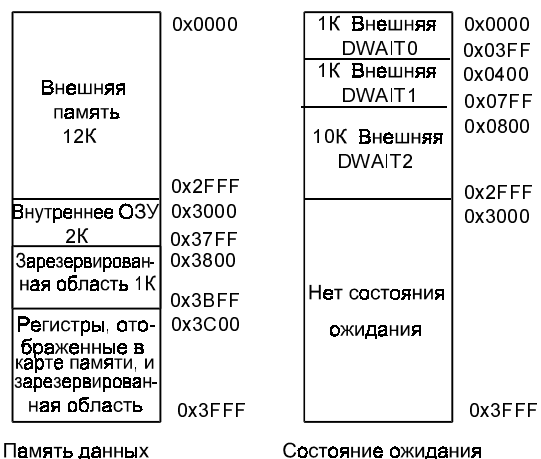


Рис. 10.12 Конфигурация памяти данных (ADSP-2171, ADSP-21msp58/59)

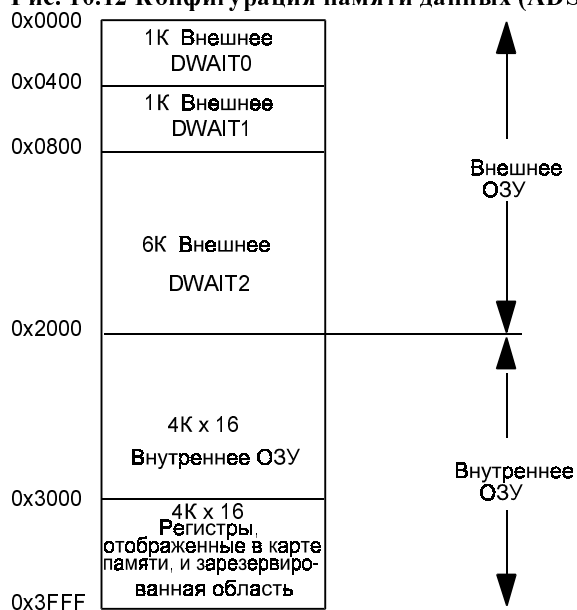
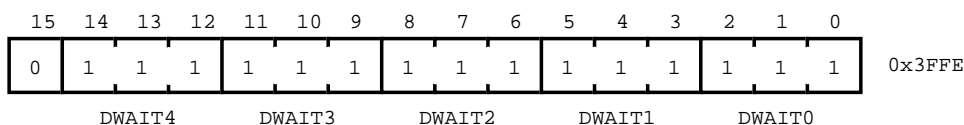


Рис. 10.13 Конфигурации памяти данных (ADSP-2165/66)

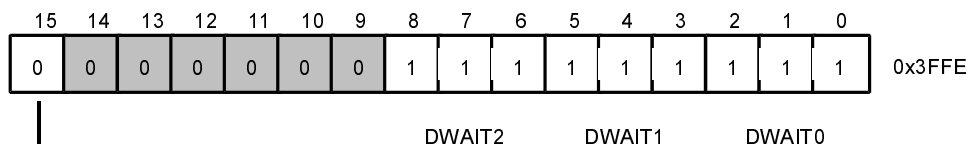
Регистр управления состояниями ожидания памяти данных имеет отдельную группу разрядов для каждой зоны внешней памяти данных. Каждая группа разрядов из 3 бит содержит число (от 0 до 7) состояний ожидания для

## ИНТЕРФЕЙС ПАМЯТИ 10

соответствующей зоны памяти. Значением по умолчанию для всех таких зон после перезапуска процессора является 7. На рис.10.14 показан регистр управления состояниями ожидания процессоров ADSP-2101, ADSP-2111, ADSP-2105, ADSP-2115, ADSP-2161/62/63/64, а на рис.10.15 - процессоров ADSP-2171/72, ADSP-21msp58/59; в процессорах ADSP-2172 и ADSP-21msp59 один бит этого регистра используется для активизации или блокирования внутреннего ПЗУ.



**Рис. 10.14 Регистр управления состояниями ожидания памяти данных (ADSP-2101, ADSP-2111, ADSP-2105, ADSP-2115, ADSP-2161/62/63/64).**



В ADSP-2172 и ADSP-21msp59 определяет доступ к ПЗУ:

1 - доступно, 0 - блокируется

(для всех других процессоров устанавливается 0)

**Рис. 10.15 Регистр управления состояниями ожидания памяти данных (ADSP-2171/72, ADSP-21msp58/59).**

### 10.4 Интерфейс начальной загрузки памяти

В данном разделе приводится описание интерфейса начальной загрузки всех процессоров семейства ADSP-2100, кроме процессора ADSP-2181.

Вся внутренняя память программы или какая-либо ее часть могут загружаться из внешнего источника с использованием процедуры начальной загрузки. В целях сопряжения процессора с недорогим ППЗУ процессор загружает команды побайтно.

Автоматическая начальная загрузка при перезапуске процессора зависит от состояния вывода MMAP во время перезапуска. Если на MMAP установлен логический 0, то инициируется начальная загрузка. Процедура начальной загрузки может инициироваться после перезапуска процессора при помощи программных средств.

В процессорах ADSP-2111, ADSP-2171, ADSP-21msp5x, имеющих порт интерфейса хост-машины (ХИП), начальная загрузка может осуществляться либо через интерфейс памяти, либо через ХИП (с хост-машины). Используемый способ загрузки определяется по состоянию вывода BMODE (через интерфейс памяти,

## 10 ИНТЕРФЕЙС ПАМЯТИ

если BMODE установлен равным 0, или через ХИП, если BMODE = 1). О начальной загрузке памяти через ХИП было рассказано в главе 7.

Во время выполнения начальной загрузки опознается запрос  $\overline{BR}$ , и предоставление шины разрешается по завершению загрузки текущего бита.

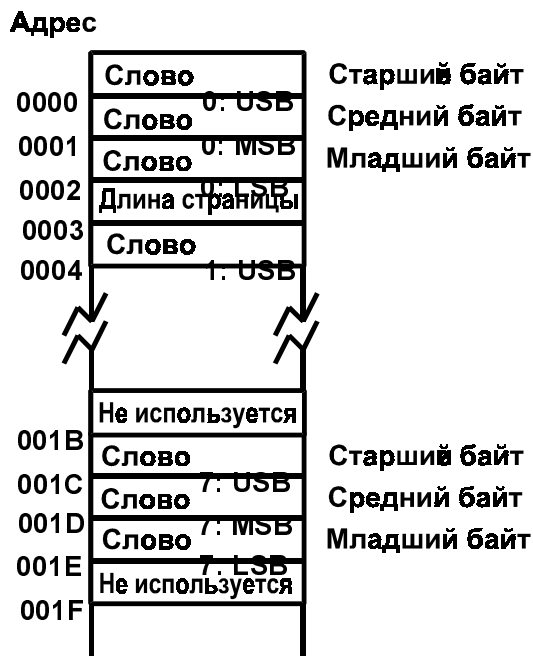
В процессорах ADSP-216x с внутренним ПЗУ программы на кристалле операции начальной загрузки с внешнего устройства не выполняются.

### 10.4.1 Загрузка страниц

Память начальной загрузки организована в виде 8 страниц по 8 К байт. Каждый четвертый байт на странице, является "пустым", исключение составляет первый четвертый байт страницы, несущий информацию о ее длине. Наборы из трех байт, разделенные пустыми байтами, содержат по одной команде. Сначала процессор считывает длину страницы, а затем загружает байты сверху вниз с начала страницы. Время на загрузку, таким образом, определяется длиной страницы.

Длина загружаемой страницы равна:

длина страницы = (количество слов памяти программы по 24 бита/8) - 1.



## ИНТЕРФЕЙС ПАМЯТИ 10

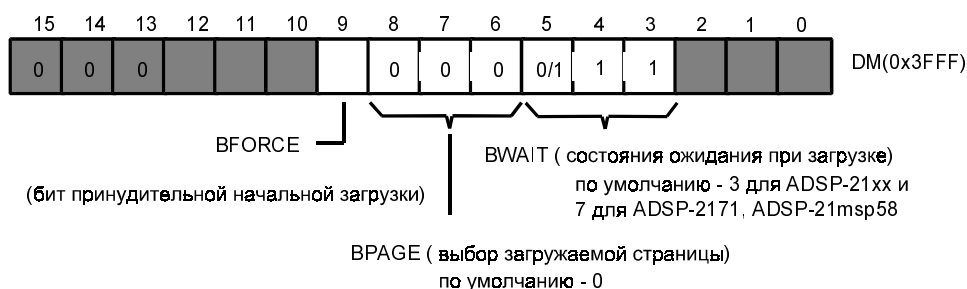
**Рис. 10.16 Содержимое ППЗУ**

Таким образом, при длине страницы равной 0 генератор адреса начальной загрузки генерирует адреса байтов для 8 слов, находящихся в 32 расположенных одна за другой ячейках ПЗУ.

PROM сплиттер (подпрограмма разбиения главной программы на блоки при ее ассемблировании) процессоров семейства ADSP-2100, входящий в число программных средств отладки процессоров этого семейства, вычислит правильную длину страницы для вашей программы и организует ее байты, как показано на рис. 10.16.

### 10.4.2 Начальная загрузка при подаче питания и перезагрузка программы

После аппаратного или программного перезапуска процессора начальная загрузка производится, когда на выводе ММАР установлен логический 0. При перезапуске начальная загрузка всегда начинается со страницы 0. После перезапуска загрузка может происходить под управлением программы любой из восьми загружаемых страниц. Группа разрядов выбора загружаемой страницы (BPAGE) в отображенном в карте памяти по адресу 0x3FFF регистре (см. рис.10.17) определяет, какая страница будет загружаться. Чтобы загрузить программу с определенной страницы, нужно установить требуемый номер страницы в BPAGE, а также установить бит принудительной начальной загрузки (BFORCE) в том же регистре. За исключением возможности выбора страницы и (возможно) числа состояний ожидания, начальная загрузка, принудительно запускаемая программными средствами, и начальная загрузка при перезапуске процессора ничем не отличаются друг от друга.



**Рис. 10.17 Группы разрядов, управляющих начальной загрузкой, в регистре управления системой**

Состояние регистров управления процессора после перезапуска и после перезагрузки при помощи программных средств продемонстрировано в табл. 9.2-9.7

## 10 ИНТЕРФЕЙС ПАМЯТИ

в главе 9. Важным является то, что состояние регистров управления процессором сохраняется, в то время как содержимое его стеков очищается, и выполнение программы возобновляется по вектору перезапуска, с ячейки 0x0000 в памяти программы.

### 10.4.3 Доступ к памяти начальной загрузки

Внутренняя память процессора может загружаться с КМОП ППЗУ разрядностью 1 байт, например 27C64 или 27C512. Может использоваться дешевое неспециализированное ППЗУ со стандартным временем доступа. Число состояний ожидания при обращении к загружаемой памяти определяется группой разрядов BWAIT в отображенном в карте памяти регистре по адресу 0x3FFF (См. рис. 10.17). Используя эту группу разрядов, можно задать генерирование от 0 до 7 состояний ожидания. При перезапуске процессоров ADSP-2101, ADSP-2105, ADSP-2111, ADSP-2115 по умолчанию устанавливается три состояния ожидания. В процессорах ADSP-2171 и ADSP-21msr58 в группе разрядов BWAIT по умолчанию содержится указание на 7 состояний ожидания.

Временные характеристики обращения к памяти начальной загрузки идентичны временным характеристикам обращения к внешней памяти программы или внешней памяти данных, за единственным исключением, что активным стробом будет BMS, а не PMS или DMS. Для адресации восьми страниц по 8К байт каждая требуется 16 бит. 14 самых младших бит представляют собой выходное значение 14-разрядной шины адреса, а 2 самых старших бита - выходное значение 2 самых старших бит шины данных во время обращения к памяти начальной загрузки. Со средних восьми бит шины данных считываются данные.

### 10.4.4 Процедура начальной загрузки

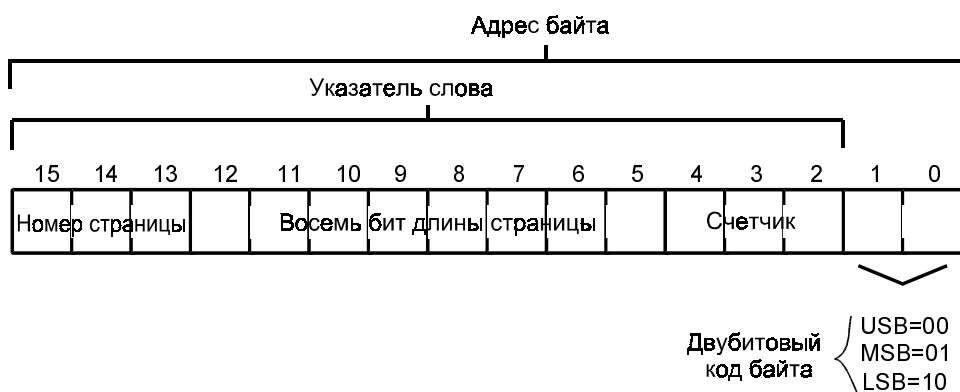
Для многих видов применения процессора порядок загрузки данных во внутреннюю память во время операции начальной загрузки не играет существенной роли. В данном разделе рассматриваются такие случаи, когда процедура начальной загрузки может оказаться существенной, например, когда фиксированные данные имеют большее значение, нежели данные, загружаемые с ППЗУ.

Для выполнения операции начальной загрузки генератор адреса начальной загрузки генерирует адреса соответствующих байтов и загружает содержимое ППЗУ во внутреннюю память программы, начиная со старших адресов в этой области памяти. Предположим, например, что во время начальной загрузки в процессор загружается восемь слов длиной по 24 бита. Первое из них записывается в память программы по адресу 0007, последнее - по адресу 0000.

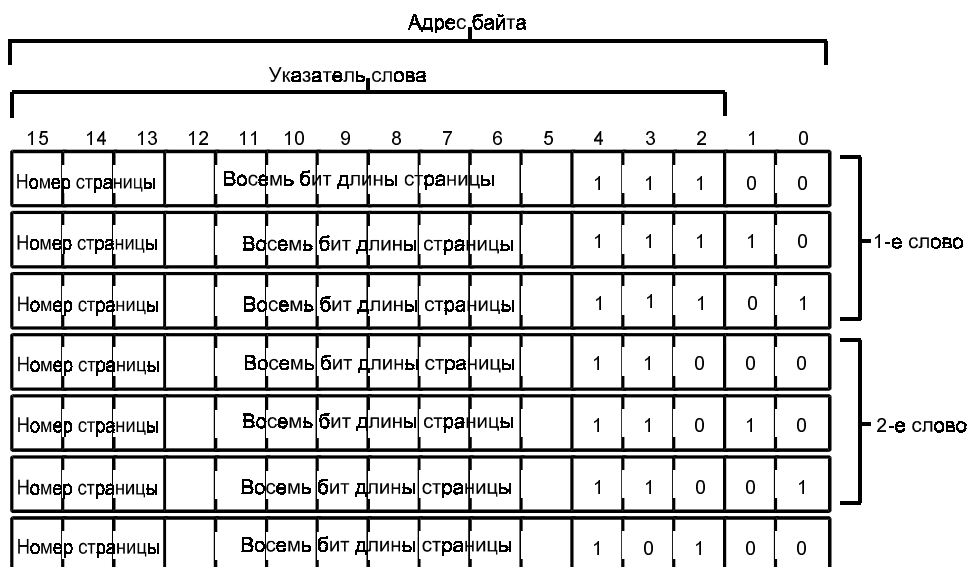


## ИНТЕРФЕЙС ПАМЯТИ 10

Как показано на рисунках 10.18 и 10.19, адрес начальной загрузки включает в себя несколько значений: номер страницы разрядностью в 3 бита (группа разрядов BPAGE в регистре управления системой); значение длины страницы разрядностью 8 бит, которое всегда считывается первым из четвертого байта страницы; значения счетчика слов разрядностью 3 бита и кода, состоящего из двух разрядов и определяющего, о каком байте слова идет речь.



**Рис. 10.18 Адрес начальной загрузки**



**Рис. 10.19 Адреса начальной загрузки**

## 10 ИНТЕРФЕЙС ПАМЯТИ

Последнее 24-битовое слово (последняя команда или значение данных памяти программы) загружается в процессор первым. Байты загружаются в следующем порядке: старший байт, младший байт, средний байт. Затем указатель слов подвергается декрементированию и указывает теперь на адрес второго с конца 24-битового слова в ППЗУ.

Например, для загрузки со страницы 0, самой короткой возможной страницы (восемь слов длиной по 24 бита соответствуют длине страницы равной 0) будут сформированы следующие адреса (см. рис. 10.20):

1. Первым будет сформирован адрес 0x0003, который считывает длину страницы.
2. Затем будет сформирован адрес 0x001C. Это старший байт последнего слова.
3. Затем для определения младшего байта обновляется код байта (последние два бита имеют значения 10), и генерируется адрес 0x001E.
4. Адрес байта снова изменяется, в этот раз для адресации среднего байта (двухразрядный код 01), и генерируется адрес 0x001D.
5. После загрузки всех трех байтов значение счетчика слов декрементируется. Далее последовательно генерируются адреса трех байтов: 0x0018, 0x001A и 0x0019.

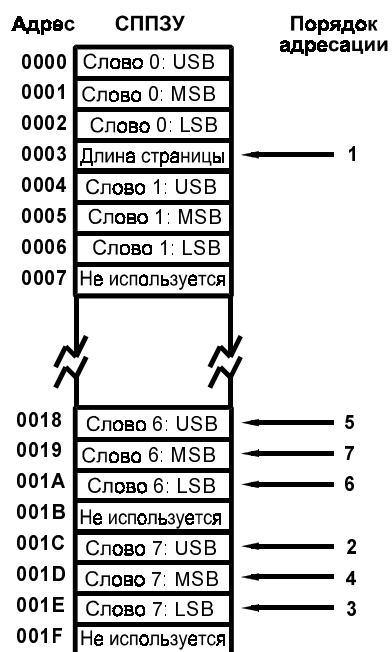


Рис. 10.20 Порядок выполнения начальной загрузки (при Page#=0, Pagelength=0)

## ИНТЕРФЕЙС ПАМЯТИ 10

6. Значение счетчика слов снова декрементируется, и генерируется следующий набор адресов байтов: 0x0014, 0x0016 и 0x0015. Данный процесс продолжается до загрузки слова 0.

Обобщенная информация о содержимом ППЗУ, адресах байтов и порядке, в котором эти адреса генерируются, отображена на рис. 10.20.

### 10.5 Запрос/предоставление шины

В этом разделе содержится описание процедуры запроса/предоставления шины для всех процессоров, включая ADSP-2181.

Процессор может отказаться от управления интерфейсом внешней памяти, предоставив внешнему устройству возможность обращения к этой памяти путем использования сигналов запроса ( $\overline{BR}$ ) и предоставления ( $\overline{BG}$ ) шины.  $\overline{BR}$  является асинхронным входным сигналом. Если процессор семейства ADSP-2100 не обращается в этот момент к внешнему устройству, он отвечает на активный входной сигнал  $\overline{BR}$  в следующем цикле таким образом:

- процессор переводит шины данных и адреса, а также выходы  $\overline{M S}$ ,  $\overline{W R}$ ,  $\overline{R D}$  в третье состояние;
- процессор выставляет сигнал предоставления шины  $\overline{BG}$  и
- приостанавливает выполнение программы (если он не находится в режиме GO).

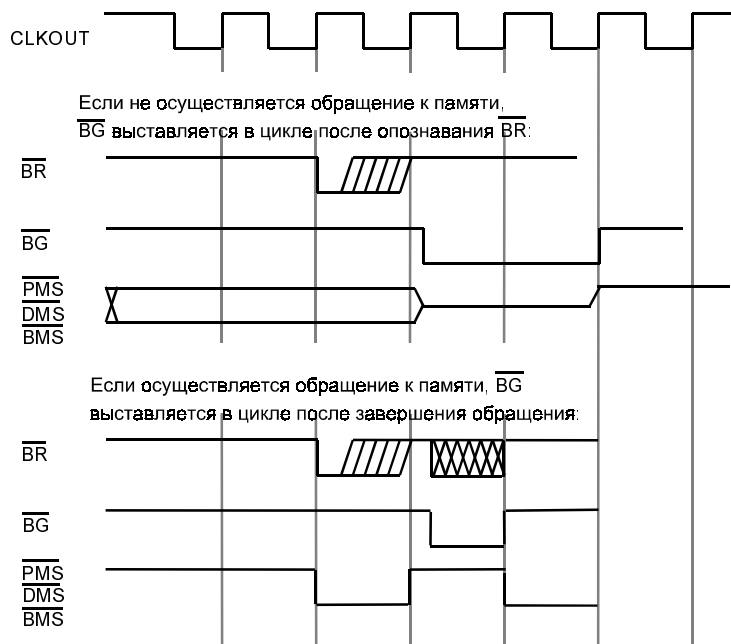
При разрешенном режиме GO процессор продолжает выполнение команд из своей внутренней памяти без приостановки выполнения программы, пока он не встречает команду, для выполнения которой требуется обращение к внешнему устройству. (Под "обращением к внешнему устройству" подразумевается либо обращение к внешней памяти, или, в случае процессора ADSP-2181, обращение к оверлейной памяти или памяти с байтовой организацией, а также обращение к области ввода/вывода).

При запрещенном режиме GO процессор всегда останавливается перед тем, как предоставить шину. Внутреннее состояние процессора не зависит от предоставления шины; вне зависимости от того, останавливается или нет сам процессор, последовательные порты и порт интерфейса хост-машины остаются активными во время предоставления шины.

Если во время выставления сигнала  $\overline{BR}$  процессор осуществляет обращение к внешнему устройству, это обращение будет завершено до предоставления шины. Последовательность событий в этом случае показана на рис. 10.21. Предоставление шины не требует полного завершения выполняемой процессором команды. Если в ходе выполнения одной команды требуется осуществить два обращения к внешним устройствам, шина будет предоставлена в промежутке между этими обращениями. По снятию сигнала  $\overline{BR}$  выполняется второе обращение к внешнему устройству.

## 10 ИНТЕРФЕЙС ПАМЯТИ

После снятия запроса внешним устройством процессор снимает сигнал  $\overline{BG}$ , берет назад управление шиной и возобновляет выполнение программы с того момента, когда она была приостановлена.  $\overline{BG}$  всегда снимается в течение того же цикла, в котором было опознано снятие запроса шины. См. реальные временные характеристики в техническом описании каждого устройства.



**Рис.10.21** Запрос на предоставление шины (с и без обращения к внешнему устройству)

Запрос шины может выставляться во время перезапуска процессора и во время начальной загрузки. При активном сигнале  $\overline{RESET}$ ,  $\overline{BG}$  всегда выставляется в том же цикле, в котором был опознан сигнал  $\overline{BR}$ . Во время на

## ИНТЕРФЕЙС ПАМЯТИ 10

начальной загрузки шина предоставляется по окончании загрузки текущего байта, включая состояния ожидания. Использование сигнала  $\overline{BR}$  во время операции начальной загрузки является одним из способов передачи управления начальной загрузкой хост-машине.

В процессорах ADSP-2171 и ADSP-2181 имеется дополнительный вывод поддержания (зависания) предоставления шины ( $\overline{BGN}$ ), который позволяет использовать эти процессоры в системах из нескольких процессоров с минимальной потерей рабочих циклов.  $\overline{BGN}$  выставляется, когда процессор готов к выполнению команды, но приостановил ее выполнение по причине предоставления шины другому устройству. Это устройство может освободить шину, сняв запрос на предоставление шины. После снятия запроса процессор снимает сигналы  $\overline{BG}$  и  $\overline{BGN}$  и выполняет обращение к внешнему устройству. Временные характеристики работы процессора при использовании сигнала  $\overline{BGN}$  отражены на рис. 10.22.

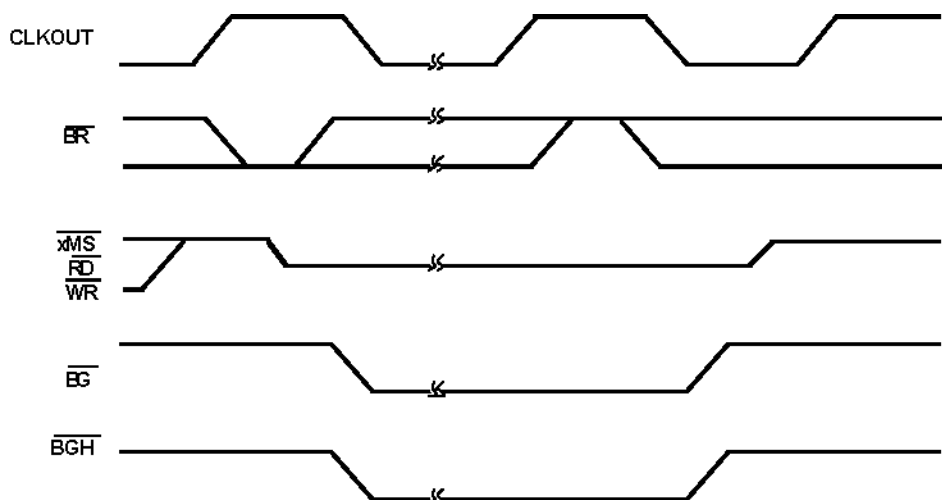


Рис. 10.22 Временные характеристики при зависании сигнала предоставления шины  $\overline{BGN}$  (ADSP-2171, ASP-2181)

### 10.6 ИНТЕРФЕЙСЫ ПАМЯТИ ПРОЦЕССОРА ADSP-2181

В процессоре ADSP-2181 используется такая же организация внутренней памяти на базе модифицированной Гарвардской архитектуры, как и в других процессорах семейства ADSP-2100. Память данных используется для хранения значений данных, а в памяти программ могут храниться как команды, так и данные.

## 10 ИНТЕРФЕЙС ПАМЯТИ

Внутреннее ОЗУ программ процессора ADSP-2181 содержит 16К слов разрядностью 24 бита, а внутреннее ОЗУ данных - 16К слов разрядностью 16 бит.

Всего в процессоре ADSP-2181 имеется четыре отдельных области памяти: память данных, память программ, байтовая память и память ввода/вывода. Внешний доступ ко всем указанным областям памяти процессора обеспечивается линиями  $\overline{PMS}$ ,  $\overline{DMS}$ ,  $\overline{BMS}$  и  $\overline{IOMS}$ , а также за счет вывода внутренних шин адреса и данных вне кристалла. Сигналы  $\overline{PMS}$ ,  $\overline{DMS}$ ,  $\overline{BMS}$  и  $\overline{IOMS}$ , указывают, к какой области памяти осуществляется обращение.

Область составной памяти (и ее линия  $\overline{CMS}$ ) позволяет при доступе к одному внешнему ЗУ рассматривать его в качестве нескольких областей памяти. Регистр выбора составной памяти позволяет задавать выбираемые сигналом  $\overline{CMS}$  области памяти.

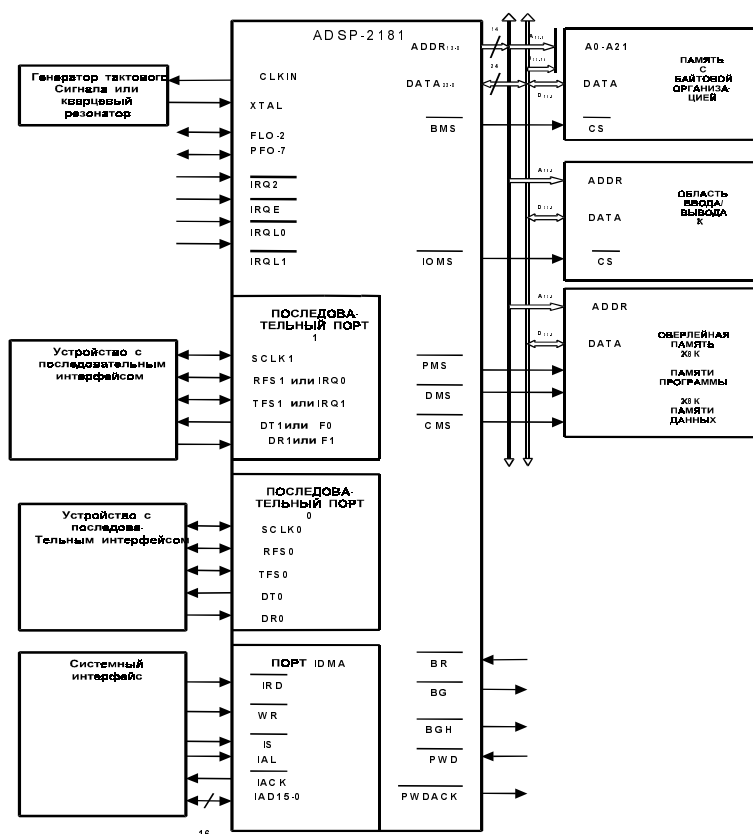


Рис. 10.23 Пример реализации системы на базе процессора ADSP-2181.

## ИНТЕРФЕЙС ПАМЯТИ 10

Шины внешней памяти и управляющие сигналы процессора ADSP-2181 показаны на рис. 10.23. Направление передачи указывается двумя управляющими линиями. Считывание из памяти ( $\overline{RD}$ ) и запись в память ( $\overline{WR}$ ) производятся по низкому уровню. Обычно,  $\overline{DMS}$  подсоединяется к выводу  $\overline{CE}$  (кристалл доступен),  $\overline{RD}$  - к  $\overline{OE}$  (выход разрешен), а  $\overline{WR}$  - к  $\overline{WE}$  (запись разрешена).

При обращении к внутренней памяти не генерируется каких-либо внешних сигналов: на выводах  $\overline{PMS}$ ,  $\overline{DMS}$ ,  $\overline{BMS}$ ,  $\overline{JMS}$ ,  $\overline{RD}$  и  $\overline{WR}$  сохраняется высокое напряжение (сигналы не выставлены), а шины адреса и данных находятся в третьем состоянии.

В отличие от других процессоров семейства, в процессоре ADSP-2181 предусмотрен ряд дополнительных возможностей сопряжения с внешней памятью. К ним относятся:

- **внешняя оверлейная память** в виде сегментов по 8К, которые могут переключаться, используя как старшие 8К внутренней памяти программы или как младшие 8К памяти данных;
- **память с байтовой организацией и порт прямого побайтового доступа к памяти (BDMA)**, которые обеспечивают доступ максимум к 4М байтам; память с байтовой организацией поддерживает загрузку и обращение во время работы к недорогим 8-разрядным ЗУ; порт прямого доступа к памяти позволяет пользователю задавать количество ячеек памяти, которые будут передаваться в или из внутренней памяти без отрыва процессора от выполнения основной задачи;
- **внутренний порт прямого доступа к памяти (IDMA)**, который поддерживает операции загрузки и обращения к хост-машине (например, ПК) и позволяет пользователю задавать количество ячеек памяти, которые будут передаваться в или из внутренней памяти, без отрыва процессора от выполнения основной задачи.

Полная информация о портах BDMA и IDMA содержится в главе 11, "Порты прямого доступа к памяти".

Процессор ADSP-2181 использует входные тактовые синхроимпульсы с половинной частотой от длительности командных циклов процессора и формирует из него внутренние тактовые синхроимпульсы нормальной (в два раза большей) частоты. Например, при частоте входных тактовых синхроимпульсов ( $\overline{CLKIN}$ ) 16,67 МГц, процессор будет работать с тактовой частотой 33,33 МГц. На всех временных диаграммах в качестве опорного сигнала используются выходные тактовые синхроимпульсы процессора ( $\overline{CLKOUT}$ ) с частотой, равной длительности командных циклов.

При сопряжении процессора с внешними ЗУ могут генерироваться состояния ожидания. Число состояний ожидания, каждое из которых равно по длительности одному командному циклу, задается программными средствами.

## 10 ИНТЕРФЕЙС ПАМЯТИ

### 10.6.1 Интерфейсы памяти программы процессора ADSP-2181

Процессор ADSP-2181 имеет доступ как к 16К своей внутренней памяти программы, так и к двум сегментам оверлейной памяти, по 8К слов каждый. Все слова памяти программы имеют разрядность 24 бита. За один командный цикл процессор может осуществить два обращения к внутренней памяти программы, что позволяет ему завершить все операции в течение одного цикла. Группа разрядов PWAIT в регистре управления системой (см. рис. 10.24) задает число состояний ожидания при каждом обращении к оверлейной памяти программы. По умолчанию (после перезапуска) PWAIT содержит значение 7.

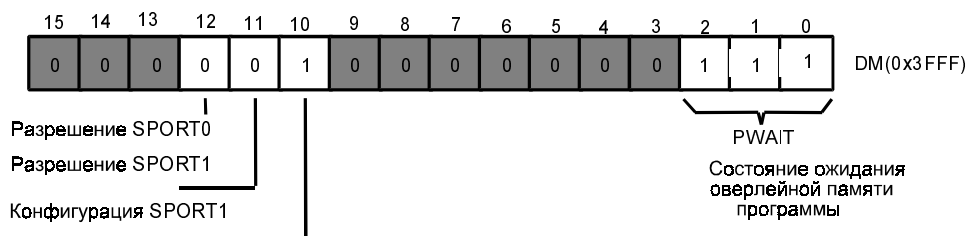


Рис. 10.24 Группа разрядов PWAIT в регистре управления системой

Во внутренней памяти программы и двух сегментах оверлейной памяти может содержаться любая комбинация команд и данных. Редактор связей процессоров семейства ADSP-2100 определяет местоположение перемещаемого кода программы и сегментов данных. Любой модуль программы или структура данных, в том числе код перезапуска процессора и вектора прерывания, может быть размещен по абсолютному адресу. Вектор перезапуска расположен по адресу 0x0000 в памяти программы.

Вывод MMAP позволяет выбирать одну из двух возможных конфигураций памяти программы процессора ADSP-2181. Состояние этого вывода также влияет на необходимость повторной загрузки после снятия сигнала RESET. На рис.10.25 показаны возможные состояния вывода MMAP и соответствующая каждому состоянию конфигурация памяти программы.

Регистр выбора оверлейной памяти программы (PMOVLAY) позволяет выбирать сегмент оверлейной памяти для отображения в карте памяти по адресам PM(0x2000) - PM(0x3FFF). Отображенные в карте памяти значения приведены вместе с соответствующими им значениями регистра PMOVLAY на рис. 10.25. В табл. 10.3 показано, каким образом регистр PMOVLAY влияет на адресацию ячеек памяти (линия адреса A13).



## ИНТЕРФЕЙС ПАМЯТИ 10

Таблица 10.3

Регистр PMOVLAY и адресация оверлейной памяти программы

| <i>PMOVLAY</i> | <i>Память</i>                           | <i>Линия адреса A13</i> | <i>Линии адреса A12:0</i>                    |
|----------------|---|-------------------------|--|
| 0              | Внутренняя                              | -                       | -  |
| 1              | Внешняя оверлейная<br>память, сегмент 1 | 0                       | 13 младших бит<br>адреса: 0x2000 -<br>0x3FFF |
| 2              | Внешняя оверлейная<br>память, сегмент 2 | 1                       | 13 младших бит<br>адреса: 0x2000 -<br>0x3FFF |



Рис. 10.25 Конфигурации памяти программы процессора ADSP-2181.

Ниже приведены примеры команд, демонстрирующие использование регистра PMOVLAY.

```
PMOVLAY=DM(0x1234); {команда, тип 3, в PMOVLAY}
                     {загружается значение, содер-}
                     {жащееся по адресу}
                     {DM(0x1234)}

PMOVLAY=1;           {команда, тип 7, в PMOVLAY}
                     {загружается значение 2}

PMOVLAY=AX0;         {в PMOVLAY загружается}
                     {содержимое регистра AX0}

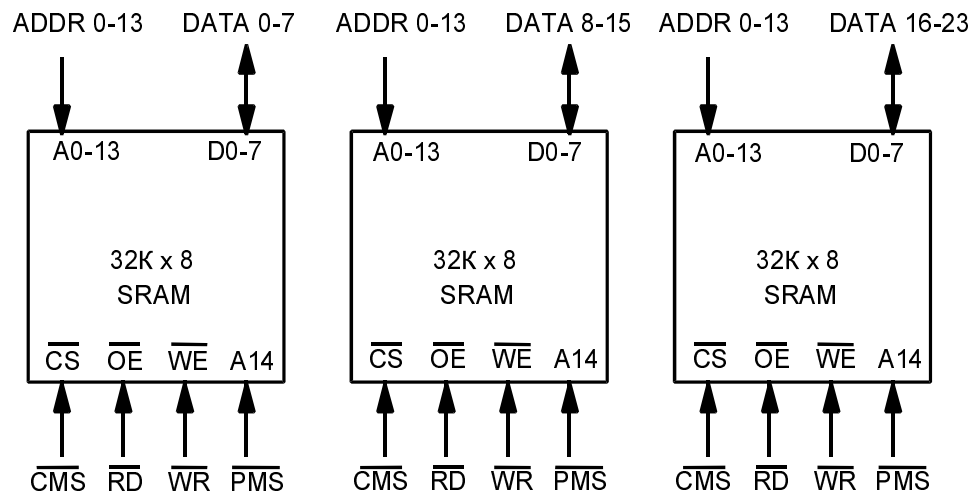
AX0=PMOVLAY;         {в регистр AX0 загружается}
                     {значение PMOVLAY}
```

## 10 ИНТЕРФЕЙС ПАМЯТИ

При использовании конфигурации, в которой  $\text{MMAP}=1$ , следует обратить внимание на то, что первые 8К используются только для одного сегмента внешней памяти, что необходимо для правильной работы внешней системы на базе ПЗУ. В данном режиме линия адреса внешней памяти программы A13 всегда установлена в 0, а 8К внутренней памяти программы остаются доступными. Устанавливайте  $\text{MMAP}=1$  и  $\text{PMOVLAY}=0$ . Этот режим доступен во всех процессорах семейства ADSP-2100.

На рис. 10.26 показана конфигурация памяти, при которой (при условии, что  $\text{MMAP}=0$ ) ADSP-2181 полностью использует оба сегмента оверлейной памяти (программы и данных). В данном случае необходимо учесть, что:

- для двух сегментов оверлейной памяти требуется три СЗУПВ по 32К 8-разрядных слов и не требуется никаких связующих логических схем;
- для сигналов чтения ( $\overline{\text{RD}}$ ), записи ( $\overline{\text{WR}}$ ), выбора кристалла ( $\overline{\text{CMS}}$ ) и выбора памяти программы/данных ( $\overline{\text{PMS}}$  или  $\overline{\text{DMS}}$ ) требуется четыре управляющие линии;
- должна быть задана такая конфигурация вывода  $\text{CMSSEL}$  (выбор составной памяти), чтобы при выставлении сигнала  $\overline{\text{PMS}}$  или  $\overline{\text{DMS}}$  по линии  $\overline{\text{CMS}}$  также бы выставлялся сигнал;
- в данной конфигурации сегменты оверлейной памяти хранятся в следующем порядке: оверлейная память программы сегмент 1, оверлейная память программы сегмент 2, оверлейная память данных сегмент 1 и оверлейная память данных сегмент 2; линия адреса 13 (A13) процессора ADSP-2181 осуществляет выбор первого или второго сегмента оверлейной памяти; карта памяти при такой конфигурации показана на рис. 10.27.



## ИНТЕРФЕЙС ПАМЯТИ 10

Рис. 10.26 Пример конфигурации оверлейной памяти программы и данных.

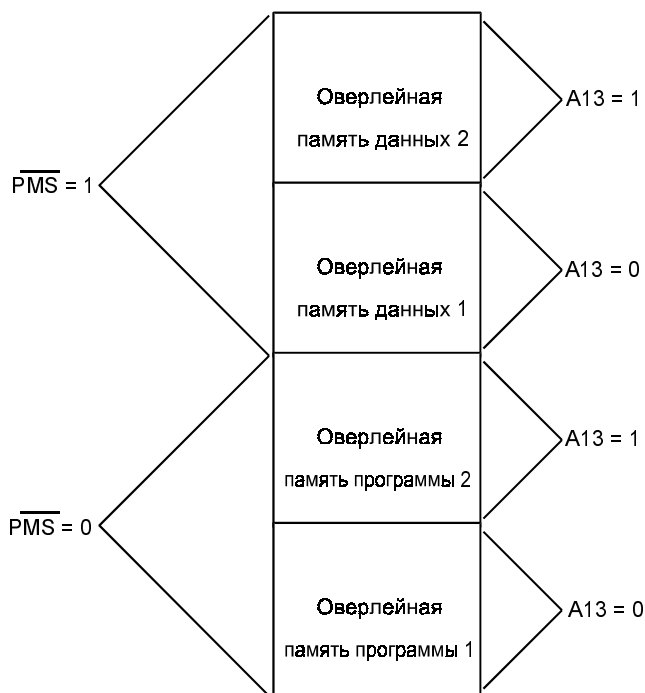


Рис. 10.27 Адресация оверлейной памяти при конфигурации, показанной на рис. 10.26.

Существует ряд ограничений на использование оверлейной памяти.

- Программный автомат процессора ADSP-2181 не учитывает значения, содержащегося в регистре PMOVLAY. Переключение страниц при выполнении зависящих от текущего значения регистра PMOVLAY операций может привести к ошибкам в выполнении программы. Например, если в ходе выполнения в цикле операции над одним из сегментов внешней оверлейной памяти происходит переключение к другому сегменту внешней или внутренней оверлейной памяти, эта операция в цикле может быть выполнена с ошибкой.
- Содержимое регистра PMOVLAY не сохраняется и не восстанавливается автоматически в стеке состояний процессора при обслуживании прерывания. В случае использования оверлейной памяти сохранение и восстановление содержимого регистра PMOVLAY должно быть предусмотрено в подпрограмме обслуживания прерываний.

### 10.6.2 Интерфейс памяти данных процессора ADSP-2181

## 10 ИНТЕРФЕЙС ПАМЯТИ

ADSP-2181 имеет доступ к 16К 16-разрядных слов внутренней памяти данных и двум сегментам оверлейной памяти, по 8К 16-разрядных слов каждый. Все обращения процессора к внутренней памяти данных завершаются в течение одного командного цикла. Группа разрядов DWAIT в регистре управления состояниями ожидания (см. рис. 10.28) задает число состояний ожидания при каждом обращении к оверлейной памяти данных. Конфигурация памяти данных процессора ADSP-2181 показана на рис. 10.29.

Регистры управления/состояния процессора отображены в карте памяти в верхних ячейках внутренней памяти данных по адресам с 0x3FE0 по 0x3FFF. Большинство регистров управления ADSP-2181 аналогичны регистрам управления других процессоров семейства ADSP-2100. Обратите внимание, что в регистре управления системой ADSP-2181, в отличие от других процессоров семейства, отсутствует группа разрядов, управляющая памятью начальной загрузки. Следует также обратить внимание, что в регистре управления состояниями ожидания процессора ADSP-2181 имеются дополнительные четыре группы разрядов для задания конфигурации памяти ввода/вывода этого процессора.

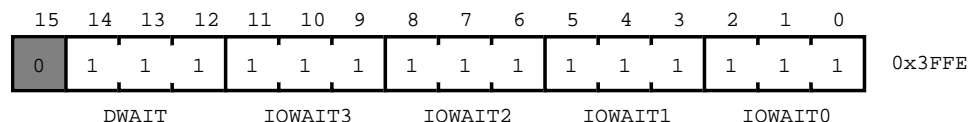


Рис. 10.28 Регистр управления состояниями ожидания процессора ADSP-2181.



Рис. 10.29 Конфигурация памяти данных процессора ADSP-2181.

Регистр выбора оверлейной памяти данных (DMOVLAY) позволяет выбрать сегмент оверлейной памяти для отображения в карте памяти по адресам

## ИНТЕРФЕЙС ПАМЯТИ 10

DM(0x0000) - DM(0x1FFF). Регистр DMOVLAY имеется только в процессоре ADSP-2181. Отображенные в карте памяти по указанным адресам значения приводятся вместе с соответствующими значениями регистра DMOVLAY на рис. 10.29. В табл. 10.4 показано, каким образом регистр DMOVLAY влияет на адресацию ячеек памяти (линия адреса A13).

Таблица 10.4

### Регистр DMOVLAY и адресация оверлейной памяти данных

| <u>DMOVLAY</u> | <u>Память</u>                        | <u>Линия адреса A13</u> | <u>Линии адреса A12:0</u>              |
|----------------|--------------------------------------|-------------------------|--|
| 0              | Внутренняя память                    | -                       | -                                      |
| 1              | Внешняя оверлейная память, сегмент 1 | 0                       | 13 младших бит адреса: 0x0000 - 0x1FFF |
| 2              | Внешняя оверлейная память, сегмент 2 | 1                       | 13 младших бит адреса: 0x0000 - 0x1FFF |

Ниже приведены примеры команд, демонстрирующие использование регистра DMOVLAY.

|                     |   |
|---------------------|---|
| DMOVLAY=DM(0x1234); | {команда, тип 3, в DMOVLAY}<br>{загружается значение, содер-<br>{жащееся по адресу}<br>{DM(0x1234)} |
| DMOVLAY=2;          | {команда, тип 7, в DMOVLAY}<br>{загружается значение 2}   |
| DMOVLAY=AX0;        | {в DMOVLAY загружается}<br>{содержимое регистра AX0}  |
| AX0=DMOVLAY;        | {в регистр AX0 загружается}<br>{значение DMOVLAY}   |

Пример конфигурации памяти, при которой ADSP-2181 полностью использует оба сегмента оверлейной памяти (программ и данных), был приведен в предыдущем разделе "Интерфейс памяти программы".

Направление передачи указывается двумя управляющими линиями. Считывание из памяти (RD) и запись в память (WR) производятся по низкому уровню. Обычно, DMS подсоединяется к выводу CE (кристалл доступен), RD - к OE (выход разрешен), а WR - к выводу WE (запись разрешена) ЗУ.

### 10.6.3 Интерфейс памяти с байтовой организацией процессора ADSP-2181

Область памяти с байтовой организацией процессора ADSP-2181 может использоваться для хранения и адресации до 4 Мбайт кода программы или данных.

## 10 ИНТЕРФЕЙС ПАМЯТИ

Эта область занимает место памяти начальной загрузки, которая используется во всех других процессорах семейства ADSP-2100. В отличие от памяти начальной загрузки, доступ к памяти с байтовой организацией осуществляется через порт прямого побайтового доступа к памяти BDMA.

Область памяти с байтовой организацией состоит из 256 страниц, по 16К 8-разрядных слов каждая. Для чтения и записи в данную область памяти используются четыре формата данных: разрядностью 24 бита, разрядностью 16 бит, разрядностью 8 бит с выравниванием по самому старшему биту, разрядностью 8 бит с выравниванием по самому младшему биту.

Каждая операция чтения/записи в память с байтовой организацией состоит из передачи данных (по линиям шины данных 15:8) и адреса (по линиям шины адреса 13:0 плюс линиям шины данных 23:16). 22 разряда адреса ячейки байтовой памяти обеспечивают доступ максимум к 4 Мбайт ПЗУ или ОЗУ.

Полная информация о памяти с байтовой организацией процессора ADSP-2181 и порте прямого побайтового доступа к памяти BDMA содержится в главе 11, "Порты прямого доступа к данным".

### 10.6.4 Область памяти ввода/вывода процессора ADSP-2181

В процессоре ADSP-2181, вместо отображения в карте памяти устройств ввода/вывода, используется, в отличие от остальных процессоров семейства ADSP-2100, специальная область памяти ввода/вывода. Эта область состоит из 2048 ячеек, разделенных на четыре фрагмента с программируемыми состояниями ожидания. Число состояний ожидания при обращении к каждому фрагменту памяти ввода/вывода задается четырьмя группами разрядов (IOWAIT0-3) в регистре управления состояниями ожидания процессора ADSP-2181; этот регистр показан на рис. 10.30.

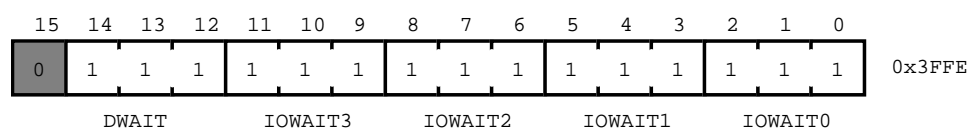


Рис. 10.30 Регистр управления состояниями ожидания процессора ADSP-2181

Регистр управления состояниями ожидания процессора ADSP-2181 содержит следующие группы разрядов:

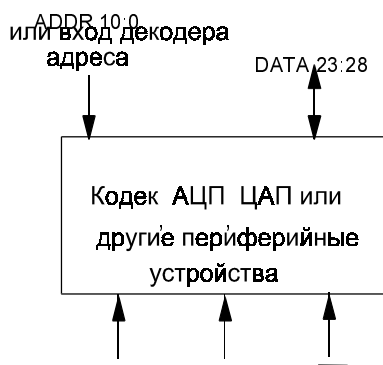
- **IOWAIT0** - задает число состояний ожидания (от 0 до 7) при обращении к адресам памяти ввода/вывода 0x000 - 0x1FF;
- **IOWAIT1** - задает число состояний ожидания (от 0 до 7) при обращении к адресам памяти ввода/вывода 0x200 - 0x3FF;

## ИНТЕРФЕЙС ПАМЯТИ 10

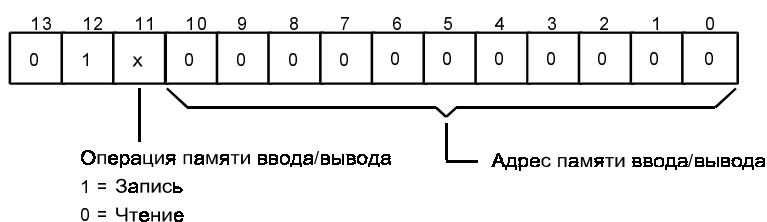
- **IOWAIT2** - задает число состояний ожидания (от 0 до 7) при обращении к адресам 0x400 - 0x5FF памяти ввода/вывода;
- **IOWAIT3** - задает число состояний ожидания (от 0 до 7) при обращении к адресам 0x600 - 0x7FF памяти ввода/вывода;
- **DWAIT** - задает число состояний ожидания (от 0 до 7) при обращении к сегментам внешней оверлейной памяти программы и данных.

Примечание: Группа разрядов PWAIT в регистре управления системой задает число состояний ожидания при обращении к сегментам оверлейной памяти программы.

При подсоединении к процессору ADSP-2181 параллельного устройства ввода/вывода (см. рис. 10.31), посылаемый устройству адрес появляется на внешней шине адреса, как показано на рис. 10.32.



**Рис. 10.31** Пример подключения периферийного устройства к области памяти ввода/вывода



**Рис.10.32** Слово адреса памяти ввода/вывода

Дополнительный канал связи через область памяти ввода/вывода процессора ADSP-2181 может использоваться хост-машиной. Если при сопряжении для передачи управляющей информации с системной шины используется набор

## 10 ИНТЕРФЕЙС ПАМЯТИ

регистров данных и при этом также должно передаваться значительное количество дискретизированных данных, следует отобразить регистры управления как периферийные устройства в памяти ввода/вывода и передать дискретизированные данные через порт IDMA. Одновременное использование каналов прямого доступа к памяти и памяти ввода/вывода увеличивает скорость передачи данных по системной шине.

Примечание: Как и в случае остальных процессоров семейства ADSP-2100, для описания отображенных в карте памяти портов ввода/вывода можно воспользоваться директивой ассемблера .PORT. Эта директива описывает (в процессоре ADSP-2181) порты ввода/вывода, отображенные в сегментах оверлейной памяти программы или данных. Если вы хотите использовать эту директиву, убедитесь во время прогона программы, что во время описания порта ваша программа находится в правильном сегменте оверлейной памяти программы или данных; ни ассемблер, ни редактор связей не выставят флажки ошибки при проверке директивы .PORT, которая относится к оверлейной памяти, поскольку такая ошибка может быть обнаружена только при прогоне программы. Ключевое слово "IO" не работает с директивой .PORT, поэтому обозначьте адреса памяти ввода/вывода символами-метками, для чего используйте макрокоманду #define. Наилучшим способом применения директивы .PORT является ее использование для отображения устройств, применяющихся для решения нетипичных для ADSP-2181 задач; в остальных случаях используйте область памяти ввода/вывода для отображения устройств ввода/вывода.

### 10.6.5 Выбор составной памяти процессора ADSP-2181

В процессоре ADSP-2181 имеется программируемый сигнал выбора составной памяти  $\overline{CM S}$ . Этот сигнал позволяет осуществлять выбор памяти для отображенных в различных областях памяти устройств с сохранением таких же временных характеристик, как и в случае сигналов выбора определенного вида памяти ( $\overline{PM S}$ ,  $\overline{DM S}$ ,  $\overline{BM S}$ ,  $\overline{JOM S}$ ).

В зависимости от значения группы разрядов CMSSEL в регистре управления программируемыми флагами и выбором составной памяти (см. рис. 10.33), процессор ADSP-2181 выставляет сигнал  $\overline{CM S}$  при выставлении соответствующего сигнала (или сигналов) выбора памяти. Каждый сигнал выбора памяти может быть разблокирован отдельно. После перезапуска, CMSSEL установлен таким образом, что сигналы  $\overline{PM S}$ ,  $\overline{DM S}$  и  $\overline{JOM S}$  разрешены, а  $\overline{BM S}$  заблокирован.



## ИНТЕРФЕЙС ПАМЯТИ 10



**Рис.10.33** Выбор CMSSEL для сигнала  $\overline{CMS}$

Пример использования сигнала  $\overline{CMS}$  был уже приведен выше на рис. 10.26. В этой системе линия  $\overline{CMS}$  выводит сигнал для всех трех СЗУПВ, что позволяет, без каких-либо связующих логических микросхем, использовать три СЗУПВ по 32К 8-разрядных слов каждое для сегментов оверлейной памяти программы и данных.

### 10.6.6 Считывание из внешней памяти - оверлейная память и память ввода/вывода

Процессор может считать данные либо из оверлейной памяти программы, либо из оверлейной памяти данных, либо из памяти ввода/вывода. Указанные операции чтения выполняются в следующей последовательности (см. рис. 10.34).

1) ADSP-2181 выполняет операцию чтения из внешней памяти; адрес, по которому осуществляется считывание, выводится на шину адреса и выставляются сигналы  $\overline{PM S}$ ,  $\overline{DM S}$ ,  $\overline{BM S}$  или  $\overline{IOM S}$  и  $\overline{RD}$ . (Выставление сигнала  $\overline{CMS}$  зависит от его конфигурации).

2. Внешнее периферийное устройство выводит данные на шину данных.

3. ADSP-2181 считывает данные и снимает сигнал  $\overline{RD}$ .

Сигнал  $\overline{WR}$  не выставляется в течение всей операции считывания из внешней памяти.

Обратите внимание, что при обращении к внутренней памяти процессора ADSP-2181 не выводится никаких внешних сигналов: на выводах  $\overline{PM S}$ ,  $\overline{DM S}$ ,  $\overline{BM S}$ ,  $\overline{IOM S}$ ,  $\overline{RD}$  и  $\overline{WR}$  сохраняется высокое напряжение (сигналы не выставляются), а шины адреса и данных находятся в третьем состоянии.

## 10 ИНТЕРФЕЙС ПАМЯТИ

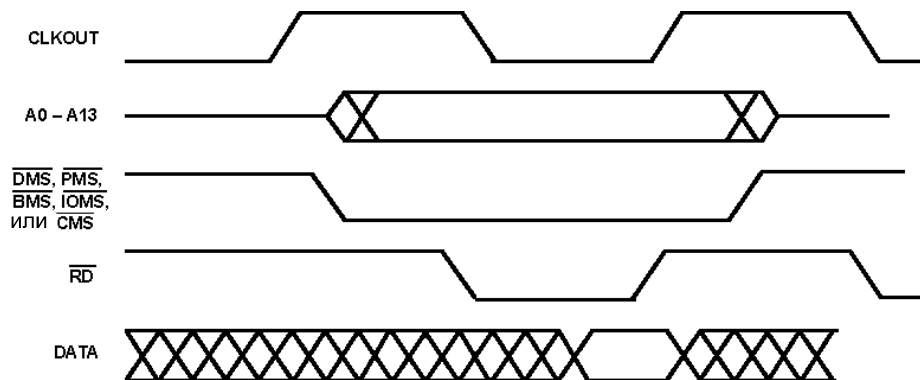


Рис. 10.34 Временные характеристики операции считывания из внешней памяти

### 10.6.7 Запись во внешнюю память - оверлейная память и память ввода/вывода

Процессор может осуществить запись данных либо в оверлейную память программ, либо в оверлейную память данных, либо в область памяти ввода/вывода. Эти операции записи выполняются в следующей последовательности (см. рис. 10.35).

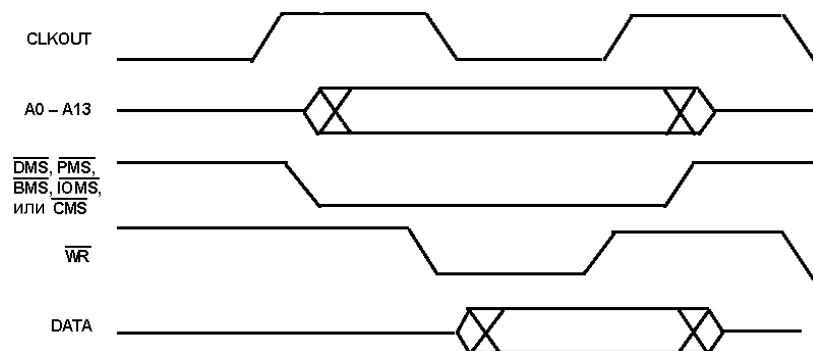


Рис. 10.35 Временные характеристики операции записи во внешнюю память

1) ADSP-2181 выполняет операцию записи во внешнюю память; адрес, по которому записываются данные, выводится по шине адреса, данные выводятся по шине данных, и выставляются сигналы  $\overline{PMS}$ ,  $\overline{DMS}$ ,  $\overline{BMS}$  или  $\overline{IOMS}$  и  $\overline{WR}$ .

2) Внешнее периферийное устройство сохраняет данные.

## ИНТЕРФЕЙС ПАМЯТИ 10

3) ADSP-2181 перестает выводить адрес и данные по внешним шинам и снимает сигнал  $\overline{WR}$ .

В течение всей операции записи сигнал  $\overline{RD}$  не выставляется.

### 10.7 ЗАКЛЮЧЕНИЕ

В табл. 10.5 обобщены состояния всех выводов интерфейса памяти процессоров семейства ADSP-2100 для обращений к памяти программ и памяти данных и их комбинации. В табл. 10.6 отражено состояние интерфейса памяти и управляющих выводов во время перезапуска, загрузки (из памяти начальной загрузки, не из памяти с байтовой организацией процессора ADSP-2181) и предоставления шины.

Таблица 10.5

Состояние выводов процессора во время обращения к памяти

| Обращение к  | $\overline{PMS}$ | $\overline{DMS}$ | $\overline{BMS}$ | $\overline{RD}$                 | $\overline{WR}$             | Шина адреса                                 | Шина данных                                  |
|--|------------------|------------------|------------------|---------------------------------|-----------------------------|---|--|
| Только внутренней памяти программы                 | высокий уровень  | высокий уровень  | высокий уровень  | высокий уровень                 | высокий уровень             | находится в третьем состоянии               | находится в третьем состоянии                |
| Только внутренней памяти данных                    | высокий уровень  | высокий уровень  | высокий уровень  | высокий уровень                 | высокий уровень             | находится в третьем состоянии               | находится в третьем состоянии                |
| Внутренней памяти программы, внешней памяти данных | высокий уровень  | низкий уровень   | высокий уровень  | низкий уровень (для считывания) | низкий уровень (для записи) | адрес памяти данных                         | данные памяти данных                         |
| Внутренней памяти данных, внешней памяти программы | низкий уровень   | высокий уровень  | высокий уровень  | низкий уровень (для считывания) | низкий уровень (для записи) | адрес памяти программы                      | данные памяти программы                      |
| Внешней памяти начальной загрузки                  | высокий уровень  | высокий уровень  | низкий уровень   | низкий уровень (для считывания) | высокий уровень             | адрес загружаемой памяти начальной загрузки | загружаемые данные, адрес загружаемой строки |

Таблица 10.6

## 10 ИНТЕРФЕЙС ПАМЯТИ

### Состояния выводов процессора при перезапуске, начальной загрузке\* и предоставлении шины

| Операция  | Шина адреса                   | Шина данных                   | $\overline{\text{PMS}}$<br>$\overline{\text{DMS}}$<br>$\overline{\text{BMS}}$                      | $\overline{\text{RD}}$<br>$\overline{\text{WR}}$                       | CLKOUT  | Последовательные порты        | $\overline{\text{BG}}$ |
|---|-------------------------------|-------------------------------|--|--|---------|-------------------------------|------------------------|
| Перезапуск  | находится в третьем состоянии | находится в третьем состоянии | высокий уровень  | высокий уровень  | активен | находится в третьем состоянии | высокий уровень        |
| Автоматическая начальная загрузка* после перезапуска  | активна                       | активна                       | $\overline{\text{BMS}}$ активен, $\overline{\text{PMS}}$ , $\overline{\text{DMS}}$ высокий уровень | $\overline{\text{RD}}$ активен, $\overline{\text{WR}}$ высокий уровень | активен | находится в третьем состоянии | высокий уровень        |
| Повторная начальная загрузка  | активна                       | активна                       | $\overline{\text{BMS}}$ активен, $\overline{\text{PMS}}$ , $\overline{\text{DMS}}$ высокий уровень | $\overline{\text{RD}}$ активен, $\overline{\text{WR}}$ высокий уровень | активен | активен                       | высокий уровень        |
| Выставление $\overline{\text{BR}}$ при нормальном режиме работы, начальной загрузке и в режиме Go | находится в третьем состоянии | находится в третьем состоянии | находятся в третьем состоянии  | находятся в третьем состоянии  | активен | активен                       | низкий уровень         |
| Выставление $\overline{\text{BR}}$ во время перезапуска   | находится в третьем состоянии | находится в третьем состоянии | находятся в третьем состоянии  | находятся в третьем состоянии  | активен | находится в третьем состоянии | низкий уровень         |

\* П р и м е ч а н и е :

Загрузка через интерфейс памяти начальной загрузки, не через порт прямого побайтового доступа к памяти ADSP-2181.