

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

11.1. ОБЗОР

В процессоре ADSP-2181 предусмотрены следующие аппаратные средства для прямого доступа к памяти:

- **Память с байтовой организацией и порт прямого побайтового доступа к памяти (BDMA):** эта область памяти может иметь объем до 4 Мбайт. Интерфейс памяти с байтовой организацией поддерживает загрузку и обращения по ходу выполнения программы к недорогим внешним 8-разрядным ЗУ. Порт BDMA позволяет определить число ячеек внутренней памяти ADSP-2181, содержимое которых будет передано во внешнюю память или получено из внешней памяти без отрыва от выполнения основной задачи.
- **Порт прямого доступа к внутренней памяти (IDMA):** этот параллельный порт обеспечивает загрузку из хост-машины (например, ПК) и ее обращения к процессору в ходе выполнения программы. Характеристики этого порта позволяют передавать данные в и из внутренней памяти без отрыва процессора от выполнения основной задачи.

Указанные способы прямого доступа к памяти выполняются за счет "украденных циклов" по тому же принципу, что и операции автобуферизации последовательных портов. Это означает, что ADSP-2181 использует циклы внутренней шины для передачи данных в и из памяти. Такие циклы приходятся только на границу командных циклов, а не между циклами команды, выполнение которой занимает несколько циклов. См. раздел ""Украденные" циклы, приостановление обращения к памяти и сигнал \overline{DACK} " в конце данной главы.

Процессор ADSP-2181 использует входной тактовый сигнал, период которого равен удвоенной длительности командных циклов, и генерирует с его помощью внутренние тактовые синхроимпульсы нормальной частоты. Например, при частоте входного тактового сигнала (CLKIN) в 16,67 МГц процессор будет работать с частотой командных циклов 33,33 МГц. На всех временных диаграммах в качестве опорного использован выходной тактовый сигнал (CLKOUT) равный по частоте внутренним тактовым синхроимпульсам процессора.

На рис. 11.1 показан пример реализации системы на базе процессора ADSP-2181.

11.2 ПОРТ ПРЯМОГО ПОБАЙТОВОГО ДОСТУПА К ПАМЯТИ (BDMA)

Область памяти с байтовой организацией процессора ADSP-2181 может содержать до 4 Мбайт 8-разрядных слов данных или кода программы. Эта область памяти занимает место памяти начальной загрузки, которая имеется во всех остальных процессорах семейства ADSP-2100. В отличие от последней, доступ к

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

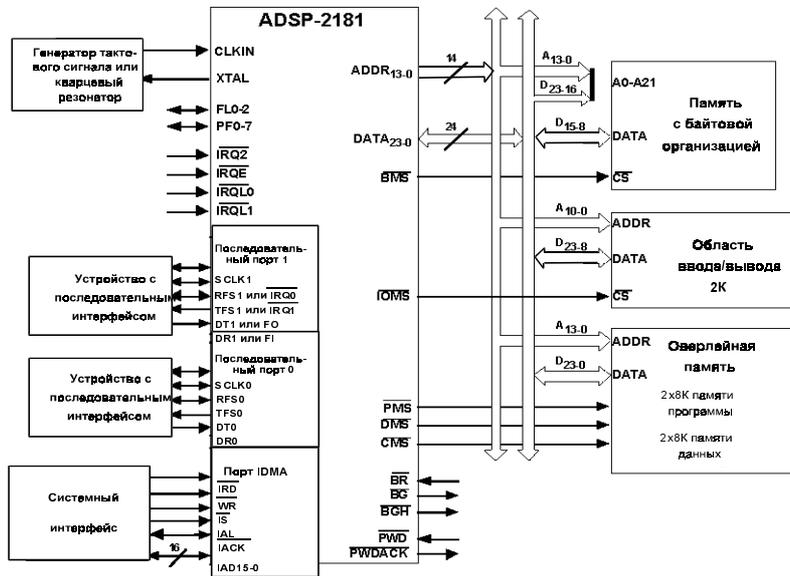


Рис. 11.1 Пример реализации системы на базе процессора ADSP-2181

памяти с байтовой организацией осуществляется через порт прямого побайтового доступа к памяти (BDMA) процессора ADSP-2181.

Каждая операция чтения/записи в память с байтовой организацией включает передачу данных (по линиям шины данных 15:8) и адреса (по линиям шины адреса 13:0 плюс линиям данных 23:16). 22-разрядный адрес позволяет осуществлять доступ к 4 Мбайтам, хранящимся в ПЗУ или ОЗУ.

Область памяти с байтовой организацией разбита на 256 страниц по 16К 8-разрядных слов каждая. Для записи и считывания из этой области памяти могут применяться следующие четыре формата данных: разрядностью 24 бита, разрядностью 16 бит, разрядностью 8 бит с выравниванием по самому старшему биту, разрядностью 8 бит с выравниванием по самому младшему биту.

При использовании памяти с байтовой организацией в каких-либо иных целях, а не для начальной загрузки, например, для доступа к ЗУ большого объема по ходу выполнения программы, необходимо знать страницу (BMPAGE), на которой хранятся искомые данные/код программы, количество слов (BWCOUNT), которые будут считываться с этой страницы и формат слов данных (BTYPE). Используйте следующую процедуру для подготовки доступного по ходу выполнения программы ПЗУ с байтовой организацией:

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

- разработайте структуру данных/кода, к которым будете обращаться по ходу выполнения программы;
- используйте подпрограмму разбиения основной программы на блоки (PROM сплиттер), входящую в программное обеспечение процессоров семейства ADSP-2100, для разбиения файла на страницы по 16К (или менее) 8-разрядных слов;
- запрограммируйте эти страницы в ваше ППЗУ, отмечая номер каждой страницы;
- используйте эти страницы при осуществлении прямых побайтовых доступов к памяти.

Примечание: более подробная информация о программных средствах отладки процессоров семейства ADSP-2100 дана в техническом руководстве, "ADSP-2100 Family Assembler Tools&Simulator Manual" и сопроводительной документации.

В случае использования порта BDMA не для начальной загрузки, передача порта начинается после инициализации регистра BWCOUNT, а прерывание порта BDMA выдается по завершению этой передачи.

При передачах через порт BDMA следует помнить о следующих ограничениях:

- источником или местом назначения передачи через порт BDMA всегда должна быть внутренняя память программы или данных; содержимое регистров RMOVLAY или DMOVLAY не влияет на выбор источника (или места назначения) передачи;
- программа не должна обращаться к регистрам BEAD и BIAD во время передачи через порт BDMA;
- обращения к другим областям внешней памяти (оверлейной памяти программы, оверлейной памяти данных, области памяти ввода/вывода) имеют более высокий приоритет по сравнению с обращениями к памяти с байтовой организацией через порт BDMA; указанные виды обращений к внешней памяти не могут происходить одновременно, поскольку для них также используется внешняя шина процессора;
- не входите в режим пониженной мощности при активном порте BDMA; более подробная информация по данному вопросу была дана в главе 9, "Интерфейс системы".

11.2.1. Функциональное описание порта BDMA

Порт BDMA позволяет загружать (хранить) команды программы и данные из (в) памяти с байтовой организацией с минимальными непроизводительными потерями. Пока процессор ADSP-2181 выполняет команды программы, порт BDMA осуществляет считывание (запись) кода команд или данных из (в) памяти с байтовой организацией с потерей ("кражей") одного цикла процессора за переданное слово в случаях считывания из (записи во) внутренней памяти. Время передачи данных через порт BDMA может быть вычислено по следующей формуле:

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

$$\begin{pmatrix} \text{число} \\ \text{слов} \\ \text{памяти} \\ \text{програ} \\ \text{ммы} \\ \text{или} \\ \text{данных} \end{pmatrix} \times \begin{pmatrix} \text{число} \\ \text{байт в} \\ \text{слове} \end{pmatrix} = \begin{pmatrix} \text{число} \\ \text{дополнит} \\ \text{ельных} \\ \text{состояни} \\ \text{й} \\ \text{ожидания} \\ \text{на} \\ \text{каждый} \\ \text{байт} \end{pmatrix} + \begin{pmatrix} 1 \\ \text{цикл} \\ \text{для} \\ \text{перед} \\ \text{ачи} \end{pmatrix} + \begin{pmatrix} 1 \\ \text{цикл} \\ \text{для} \\ \text{чтения/} \\ \text{записи} \\ \text{во} \\ \text{внутрен} \\ \text{нюю} \\ \text{память} \end{pmatrix} + \begin{pmatrix} \text{числ} \\ \text{о} \\ \text{цикл} \\ \text{ов на} \\ \text{остан} \\ \text{овки} \end{pmatrix}$$

Например, для передачи 100 24-разрядных слов памяти программы через порт BDMA необходимо 1900 циклов, при допущении, что процессору потребуется 5 состояний ожидания и не будет остановок:

$$\begin{pmatrix} 100 \\ \text{слов} \\ \text{памяти} \\ \text{програ} \\ \text{ммы} \end{pmatrix} \times \begin{pmatrix} 3 \\ \text{байта} \\ \text{в} \\ \text{слове} \end{pmatrix} = \begin{pmatrix} 5 \\ \text{дополните} \\ \text{льных} \\ \text{состояний} \\ \text{ожидания} \\ \text{на} \\ \text{каждый} \\ \text{байт} \end{pmatrix} + \begin{pmatrix} 1 \\ \text{цикл} \\ \text{для} \\ \text{перед} \\ \text{ачи} \end{pmatrix} + \begin{pmatrix} 1 \\ \text{цикл} \\ \text{для} \\ \text{чтения/} \\ \text{записи} \\ \text{во} \\ \text{внутрен} \\ \text{нюю} \\ \text{память} \end{pmatrix} + \begin{pmatrix} 0 \\ \text{цикло} \\ \text{в} \\ \text{остано} \\ \text{вок} \end{pmatrix}$$

Случаи остановок при передачах через порты прямого доступа к данным объяснены в разделе "Украденные" циклы, приостановление обращения к памяти и сигнал TACK в конце данной главы.

11.2.2 Регистры управления порта BDMA

Для установки и управления передачами через порт BDMA используется набор отображенных в карте памяти регистров, которые показаны на рис. 11.2 - 11.6.

Регистр адреса внутренней памяти порта BDMA (BIAD) позволяет устанавливать 14-разрядный начальный адрес внутренней памяти для передачи через порт BDMA. Регистр адреса внешней памяти этого порта (BEAD) позволяет устанавливать 14-разрядный начальный адрес внешней памяти для передачи через порт BDMA.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

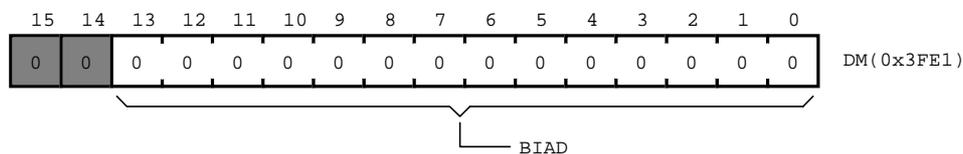


Рис. 11.2 Регистр адреса внутренней памяти порта BDMA

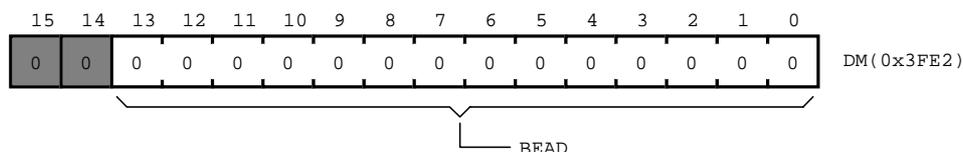


Рис. 11.3 регистр адреса внешней памяти порта BDMA

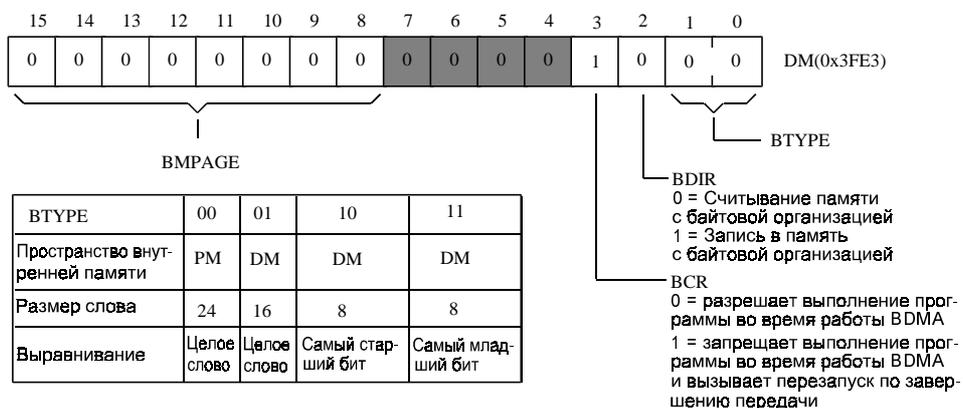


Рис. 11.4 Регистр управления портом BDMA

Регистр управления портом BDMA позволяет устанавливать:

- тип передачи через порт BDMA (BTYPE);
- направление передачи через порт BDMA (BDIR);
- перезапуск (обнуление всех регистров);
- считываемая/записываемая через порт BDMA страница (BMPAGE).

В поле разрядов BTYPE могут содержаться следующие комбинации нулей и единиц:

- 00 24-разрядные слова памяти программы;
- 01 16-разрядные слова памяти данных;
- 10 8-разрядные слова памяти данных, выравнивание по самому старшему биту;

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

- 11 8-разрядные слова памяти данных, выравнивание по самому младшему биту.
Бит BDIR может быть равным:
- 0 считывание из памяти с байтовой организацией (в процессор);
1 запись в память с байтовой организацией (из процессора).
Бит BCR может быть установлен равным:
- 0 разрешает выполнение программы во время прямого побайтового доступа к памяти;
1 запрещает выполнение программы во время прямого побайтового доступа к памяти и вызывает перезапуск (обнуление содержимого всех регистров) по завершению передачи.

Группа разрядов BMPAGE позволяет выбрать начальную страницу для загрузки через порт BDMA.

Примечание: повторная начальная загрузка при перезапуске, вызываемом портом BDMA (BCR=1), выполняется аналогично перезапуску при подаче питания. Более подробная информация о состояниях процессора во время перезапуска и повторной начальной загрузки была дана в главе 9, "Интерфейс системы".

Регистр BWCOUNT позволяет начать передачу через порт BDMA посредством записи в этот регистр числа передаваемых слов. По мере передачи каждого слова значение счетчика автоматически декрементируется. Когда значение счетчика становится равным нулю (передача завершена), процессор выдает прерывание порта BDMA. Если во время загрузки в MMAP и BMODE содержится 0, в этот регистр автоматически загружается значение 32 (в десятичном формате), указывающее ADSP-2181 загрузить первые 32 ячейки его внутренней памяти программы.

Управление портом через этот регистр может осуществляться двумя различными способами:

- используйте опрос регистра BWCOUNT для определения конца передачи (BWCOUNT=0), не ожидая прерывания порта BDMA;
- прервите операцию прямого доступа к памяти, записав в регистр BWCOUNT единицу, а затем используйте опрос этого регистра для определения конца передачи (BWCOUNT=0), не ожидая прерывания порта BDMA. (Помните, что прерванная передача через порт BDMA не может быть продолжена позже).

Группа разрядов BMWAIT включает биты 12, 13 и 14 регистра управления выбором составной памяти и программируемого флага. Эта группа разрядов позволяет выбирать от 0 до 7 состояний ожидания (каждое из которых равно по длительности одному командному циклу) для каждого обращения к памяти с байтовой организацией. После повторной начальной загрузки BMWAIT хранит значение 7.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

показан пример хранения данных/кода программы всех четырех форматов в памяти с байтовой организацией.

Таблица 11.1

Форматы хранения данных в памяти с байтовой организацией

<u>ВТУРЕ</u>	<u>Адрес</u> <i>внутренней</i> <i>памяти</i>	<u>Содержимое</u> <i>внутренней</i> <i>памяти</i>	<u>Адрес памяти с</u> <i>байтовой</i> <i>организацией</i> <i>(страница 0x00)</i>	<u>Содержимое</u> <i>памяти с</i> <i>байтовой</i> <i>организацией</i>
00	PM(0x0000)	0xABCDEF	BM(0x0000)	0xAB
			BM(0x0001)	0xCD
			BM(0x0002)	0xEF
00	PM(0x0001)	0x123456	BM(0x0003)	0x12
			BM(0x0004)	0x34
			BM(0x0005)	0x56
01	DM(0x0000)	0x9876	BM(0x0006)	0x98
			BM(0x0007)	0x76
01	DM(0x0001)	0x3456	BM(0x0008)	0x34
			BM(0x0009)	0x56
10	DM(0x0002)	0x9800	BM(0x000A)	0x98
10	DM(0x0003)	0x7600	BM(0x000B)	0x76
11	DM(0x0004)	0x0034	BM(0x000C)	0x34
11	DM(0x0005)	0x0056	BM(0x000D)	0x56

11.2.4 Загрузка через порт прямого побайтового доступа к памяти

Внутренняя память процессора ADSP-2181 может быть полностью или частично загружена из внешнего источника при помощи процедуры загрузки памяти с байтовой организацией. Загрузка через память с байтовой организацией является одним из двух возможных способов загрузки процессора после перезапуска.

В табл. 11.2 показано, каким образом можно выбрать метод загрузки процессора ADSP-2181 после перезапуска с использованием выводов MMAP и BMODE.

Загрузка через порт BDMA используется процессором ADSP-2181 после перезапуска, когда на выводах MMAP и BMODE удерживается низкое напряжение. Инициализация порта BDMA для загрузки осуществляется следующим образом:

- регистр BWCOUNT устанавливается равным 32;
- BDIR, BMPAGE, BEAD, BIAD и BTYPE сбрасываются в ноль;
- бит BCR устанавливается равным 1;
- в группе BWAIT должно содержаться значение 7.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

Таблица 11.2

Выбор способа загрузки процессора ADSP-2181

<i>Состояние вывода MMAP</i>	<i>Состояние вывода VMODE</i>	<i>Способ загрузки</i>
0	0	Загрузка через порт BDMA. Из памяти с байтовой организацией загружаются первые 32 слова памяти программы. По завершению загрузки 32 слов программа начинает выполняться с ячейки внутренней памяти по адресу PM(0X0000) с отложенным прерыванием порта BDMA.
0	1	Загрузка через порт IDMA. Выполнение программы приостанавливается на время записи в память программы с хост-машины через порт IDMA. Выполнение программы возобновляется после загрузки ячейки внутренней памяти программы по адресу PM(0x0000).
1	-	Загрузки не происходит. Нет загрузки в память и нет перерыва при выполнении программы. Выполнение программы начинается по адресу внешней памяти PM(0x0000). Регистр PMOVLAY должен быть обнулен.

Такие установки необходимы для загрузки 32 слов (BWCOUNT) из (BDIR) памяти с байтовой организацией, начиная с нулевого адреса (BEAD) нулевой страницы (BMPAGE), во внутреннюю память программы по нулевому адресу (BIAD) с использованием формата слов памяти программы разрядностью 24 бита (BTYPE). Установка бита перезапуска порта BDMA (BCR) равным 1 запрещает выполнение программы во время передачи через порт BDMA и приводит к возобновлению выполнения программы по адресу PM(0x0000) по завершению передачи. Регистр VMWAIT установлен на максимальное число (7) состояний ожидания для прямого побайтового доступа к памяти. По завершению процедуры загрузки (передачи 32 слов) программа начинает выполняться с ячейки внутренней памяти программы по адресу 0x0000.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

PROM сплиттер процессоров семейства ADSP-2181 обеспечивает возможность выбора загрузчика программы раскрутки; см. раздел "Применение программных средств отладки для загрузки через порт BDMA" ниже.

При разработке собственного программного обеспечения для начальной загрузки ADSP-2181 следует учесть, что бит перезапуска порта BDMA (BCR) устанавливается в 1 (запрещая выполнение программы во время передачи через порт BDMA), а прерывание BDMA генерируется (указывая на окончание передачи первых 32 слов) по завершению процедуры загрузки. В вашей программе должна быть предусмотрена либо обработка этого прерывания (если прерывание порта BDMA было демаскировано за счет соответствующих установок в регистре IMASK), либо его сброс (посредством установок в регистре IFC).

В качестве альтернативы, при использовании прерывания порта BDMA без сброса содержимого всех регистров, программа-загрузчик может отложить выполнение программы на время загрузки через порт BDMA при помощи команды IDLE. Когда загрузчик устанавливает параметры загрузки памяти программы, разрешает в регистре IMASK только прерывание BDMA, а затем выполняет команду IDLE, то эта команда приостанавливает выполнение программы до прерывания порта BDMA, которое указывает на окончание загрузки памяти программы.

11.2.4.1 Применение программных средств отладки для загрузки через порт BDMA

PROM сплиттер процессоров семейства ADSP-2100 позволяет Вам создавать программы, которые можно загружать через порт BDMA процессора ADSP-2181 с минимальными потерями производительности. PROM сплиттер добавляет код загрузчика памяти к исполняемой программе, который инициализирует до 6 страниц памяти программы и 4 страниц памяти данных, по 16К каждая. Обычно, сгенерированный PROM сплиттером код зашивается в ППЗУ и используется как область памяти с байтовой организацией процессора ADSP-2181.

Когда на выводах MMAP и BMODE содержится значение 0, процессор загружает первые 32 слова памяти программы из области памяти с байтовой организацией, а затем начинает выполнение программы. Подпрограмма загрузчика содержится в этих первых 32 словах; затем процессор продолжает загрузку через порт побайтового доступа к памяти до тех пор, пока исполняемая программа не будет загружена полностью.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

Подробная информация о программе разбиения основной программы на блоки (PROM сплиттере) содержится в техническом руководстве "ADSP-2100 Family Assembler Tools & Simulator Manual" и сопроводительной документации.

11.3 Порт прямого доступа к внутренней памяти (IDMA)

Порт прямого доступа к внутренней памяти (IDMA) процессора ADSP-2181 представляет собой параллельный порт ввода/вывода, который позволяет хост-машине осуществлять запись/считывание внутренней памяти процессора. Архитектура порта IDMA облегчает сопряжение процессора с шиной хост-машины.

Порт IDMA можно сравнить с воротами, через которые осуществляется доступ ко всем ячейкам внутренней памяти цифрового сигнального процессора (за исключением отображенных в карте памяти процессора регистров управления). Порт IDMA имеет 16-разрядную мультиплексированную шину адреса и данных, с помощью которых можно осуществлять доступ как к 16-разрядной памяти данных, так и 24-разрядной памяти программы. Операции считывания/записи через порт IDMA абсолютно асинхронны относительно работы процессора, таким образом хост-машина может обратиться к внутренней памяти цифрового сигнального процессора не влияя на быстродействие ADSP-2181.

В отличие от порта интерфейса хост-машины (ХИП) процессоров ADSP-2171 и ADSP-2111, для поддержания передачи данных через порт IDMA не требуется никаких действий процессора. Хост-машина может напрямую обратиться к внутренней памяти ADSP-2181, не прибегая к помощи почтовых регистров. Возможность прямого доступа к памяти цифрового сигнального процессора увеличивает скорость передачи данных по блокам. Непроизводительные издержки при обращении к внутренней памяти процессора через порт IDMA составляют всего один цикл процессора на каждое переданное слово.

ADSP-2181 поддерживает начальную загрузку через порт IDMA, порт BDMA или из внешней оверлейной памяти программы. Режим загрузки и конфигурация памяти выбираются путем соответствующих установок выводов BMODE и MMAP. Операция начальной загрузки через порт IDMA выполняется, когда BMODE=1, а MMAP=0. Более подробная информация о начальной загрузке через порт IDMA приводится в разделе "Начальная загрузка через порт IDMA" в конце данной главы. Примечание: порт IDMA не может использоваться для считывания/записи содержимого отображенных в карте памяти регистров управления ADSP-2181. См. "Модификация регистров управления через порт IDMA".

11.3.1 Выводы порта IDMA

Четыре линии входных сигналов порта IDMA управляют при выборе порта (\overline{IS}) операциями чтения (\overline{RD}), записи (\overline{WR}) и фиксации адреса (IAL) на шине адреса/данных (IAD0-15). Линия выбора порта IDMA (\overline{IS}) выступает в качестве сигнала "кристалл доступен" для всех операций порта IDMA.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

При выставлении сигналов выбора порта IDMA (\overline{IS}) и разрешения фиксации адреса (IAL) процессор ADSP-2181 записывает передаваемый по шине IAD0-15 адрес в регистр управления портом IDMA. Этот регистр отображен в карте памяти по адресу DM(0x3FE0) (см. рис. 11.7). Обратите внимание, что хост-машина не может обратно считать зафиксированный адрес (IDMAA).

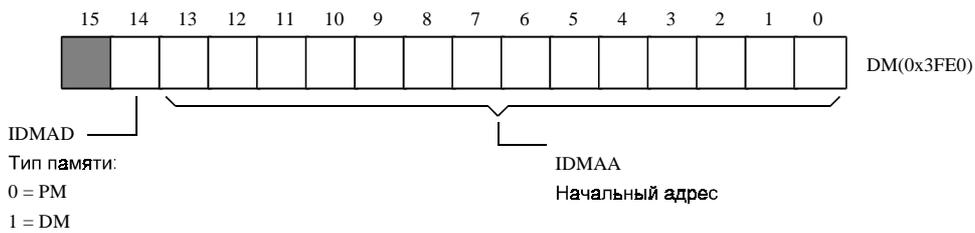


Рис. 11.7 Регистр управления портом IDMA

При выставлении входного сигнала выбора порта IDMA (\overline{IS}) и строба чтения (\overline{RD}) процессор выводит содержимое ячейки, указанной в регистре управления прямым доступом к внутренней памяти, на шину данных порта IDMA.

При выставлении входного сигнала выбора порта IDMA (\overline{IS}) и строба записи (\overline{WR}) ADSP-2181 записывает входное значение, передаваемое по шине данных порта IDMA, по адресу, указанному в регистре IDMA.

При чтении/записи в память данных, выводы шины данных порта IDMA сконфигурированы для передачи 16-разрядных слов. При чтении/записи в память программы старшие 16 бит 24-разрядного слова памяти программы передаются по шине данных порта IDMA. Во время следующей операции чтения/записи через порт IDMA по шине данных этого порта (линии 0-7) пересылаются 8 младших бит слова памяти программы. При выполнении операции чтения процессор ADSP-2181 устанавливает линии 8-15 шины данных в 0; при записи ADSP-2181 игнорирует биты 8-15, передаваемые хост-машиной.

Линия подтверждения прямого доступа к внутренней памяти через порт IDMA (\overline{ACK}) указывает на завершение операций чтения/записи данных и выступает как сигнал "порт занят" для порта IDMA. Внешнее устройство должно ожидать понижения уровня этого сигнала *перед тем*, как произвести какие-либо модификации в регистре управления портом IDMA или началом следующей операции чтения/записи.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

11.3.2 Функциональное описание порта IDMA

Порт IDMA предоставляет хост-машине прямой доступ к ячейкам внутренней памяти процессора ADSP-2181 (за исключением отображенных в карте памяти регистров управления). На рис. 11.8 приводится последовательность действий при передаче данных через порт IDMA (наиболее общий случай).

В показанном на рис. 11.8 случае, хост-машина начинает передачу через порт IDMA с проверки состояния линии $\overline{\text{ACK}}$ для определения статуса порта (готов/занят). Когда порт IDMA готов к выполнению передачи, хост-машина указывает процессору ADSP-2181 (по линиям $\overline{\text{IS}}$ и $\overline{\text{IAL}}$) зафиксировать адрес внутренней памяти, передаваемый по шине адреса/данных порта IDMA, в регистре управления портом IDMA. (Обратите внимание, что зафиксированный адрес не может быть считан хост-машиной обратно).

Далее, хост-машина начинает (используя линии $\overline{\text{IS}}$ и $\overline{\text{RD}}$ или $\overline{\text{IS}}$ и $\overline{\text{WR}}$) считывание (или запись) из внутренней памяти цифрового сигнального процессора. С каждой новой операцией чтения или записи производится автоматическое приращение адреса внутренней памяти ADSP-2181. Обратите внимание, что процессор не прекращает выполнение программы в течение всей передачи через порт IDMA, *за исключением* "украденного" цикла, необходимого для получения доступа к памяти.

На рис. 11.8 показан только один из существующих способов использования порта IDMA. Помимо него, возможны следующие варианты:

- хост-машина может изменить адрес внутренней памяти, по которому осуществляется доступ, по завершению операции чтения/записи через порт IDMA и начать новую операцию с новым начальным адресом внутренней памяти;
- хост-машина может остановить операцию чтения/записи после фиксации адреса внутренней памяти с тем, чтобы продолжить прерванную операцию позднее; при этом начальный адрес внутренней памяти хранится в регистре управления портом IDMA до тех пор, пока хост-машина или процессор не перезапишет его;
- процессор ADSP-2181 может осуществлять чтение/запись регистра управления портом IDMA как часть своей программы, что означает, что хост-машина может управлять только операциями чтения/записи и передает процессору управление начальным адресом внутренней памяти при доступе к последней через порт IDMA;
- использование *короткого цикла чтения* (не ожидая выставления сигнала готовности порта $\overline{\text{ACK}}$) позволяет представить одну ячейку в виде буфера данных для передач считывания через порт IDMA; работа такого буфера данных описывается ниже в разделе "Короткий цикл чтения через порт IDMA";
- в случаях использования ADSP-2181 с хост-машиной, для которой не требуется подтверждения готовности порта и завершения записи, следует использовать *короткие циклы чтения/записи* через порт IDMA.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

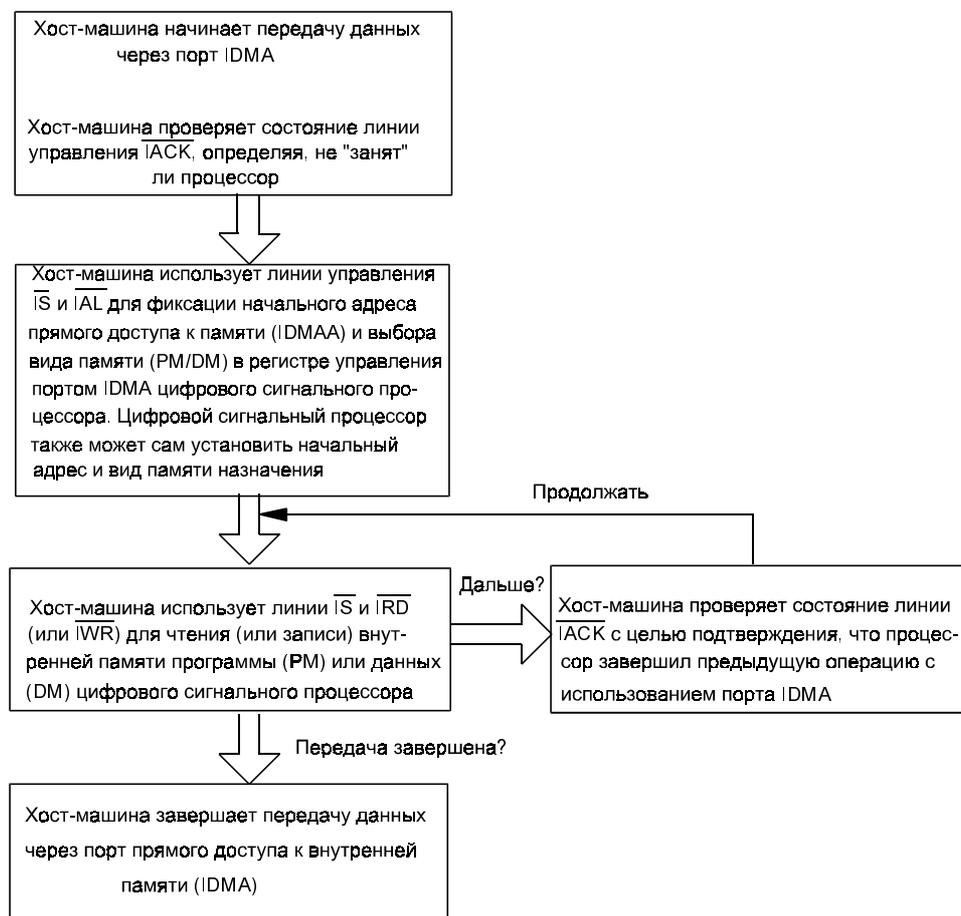


Рис. 11.8 Блок-схема передачи через порт IDMA (общий случай)

При выполнении операций прямого доступа к внутренней памяти следует помнить о следующих ограничениях на их программное и аппаратное обеспечение.

- Если и хост-машина и процессор ADSP-2181 имеют возможность записи в регистр управления портом IDMA, не позволяйте им записывать этот регистр одновременно, поскольку это приведет к непредсказуемым последствиям.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

- Операция считывания данных из внутренней памяти программы состоит из двух операций чтения через порт IDMA (для передачи 24-разрядного слова через 16-разрядный порт); если фиксация адреса или модификация регистра управления портом IDMA процессором происходят после первого цикла чтения из памяти программы, порт IDMA "теряет" вторую половину 24-разрядного слова памяти программы; в ходе выполнения следующей операции чтения или записи будет использован адрес согласно обновленному содержимому регистра управления портом IDMA. Обратите внимание, что в случае записи в регистр управления портом IDMA после считывания первой половины слова памяти программы, из памяти программы будет считано только 16 бит данных.
- Операция записи во внутреннюю память программы соответствует двум операциям записи через порт IDMA (для передачи 24-разрядного слова через 16-разрядный порт); если фиксация адреса или модификация регистра управления портом IDMA процессором происходят после первого цикла чтения из памяти программы, порт IDMA "теряет" вторую половину 24-разрядного слова памяти программы; в ходе выполнения следующей операции чтения или записи будет использован адрес согласно обновленному содержимому регистра управления портом IDMA.
- Имеется ряд ограничений на выполнение прямого доступа к внутренней памяти программы через порт IDMA, когда процессор находится в режиме пониженной мощности; см. главу 9, "Интерфейс системы".

11.3.3 Модификация регистров управления через порт IDMA

Отображенные в карте памяти регистры управления ADSP-2181 защищены от прямого доступа для предотвращения случайных ошибок и сбоев. Однако, чтение или запись этих регистров может потребоваться для определения конфигурации процессора ADSP-2181 и ее последующего изменения.

Чтобы считать данные из отображенных в карте памяти регистров управления, следует сначала переслать содержимое этих ячеек в другую область внутреннего ОЗУ. Такая задача выполняется в цикле при помощи следующего кода программы:

```
.const NUM_REG = 32;
.var/dm/ram temp_array[NUM_REG];
    i0 = ^temp_array;
    i0 = 0;
    i1 = 0x3fe0;
    l1 = 0;
    m1 = 1;
    cnt = NUM_REG;
    do transfer until ce;
    ax0 = dm(i1, m1);
```

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

`transfer: dm(i0, m1) = ax0;`

Для записи отображенных в карте памяти регистров с хост-машины следует сперва загрузить значения (через порт IDMA) во временный буфер, а затем дать процессору ADSP-2181 задание переслать содержимое временного буфера в отображенные в карте памяти регистры управления. Эта передача выполняется таким же образом, как и в показанном выше фрагменте программы. Вам следует установить какую-либо единую форму общения хост-машины и процессора ADSP-2181: использование прерываний, флагов ввода/вывода или почтового регистра. Должен быть создан механизм, который бы позволял хост-машине указывать цифровому сигнальному процессору, когда тот должен выполнить определенную операцию, и наоборот.

11.3.4 Временные характеристики работы порта IDMA

Временные характеристики трех операций порта IDMA имеют решающее значение для сопряжения процессора с хост-машиной. Эти операции включают:

- фиксацию адреса внутренней памяти;
- считывание данных через порт IDMA;
- запись данных через порт IDMA.

Подробное описание временных характеристик каждой из вышеназванных операций дается в следующих разделах.

11.3.4.1 Цикл фиксации адреса

Хост-машина пишет начальный адрес и тип памяти, к которой осуществляется прямой доступ (памяти данных, DM, или памяти программы, PM) в течение целого цикла. Этот цикл фиксации адреса состоит из следующих шагов, показанных на рис. 11.9:

1. Хост-машина убеждается, что на линии $\overline{\text{IACK}}$ удерживается низкое напряжение.

2. Хост-машина выставляет сигналы IAL и $\overline{\text{IS}}$, которые указывают процессору ADSP-2181, что он должен зафиксировать начальный адрес внутренней памяти, передаваемый по линиям шины адреса/данных IAD15-0, в регистре управления портом IDMA.

3. Хост-машина выводит начальный адрес (биты 0-13) и тип памяти, к которой будет осуществлен доступ (бит 14) по линиям IAD15-0. (Бит 15 должен быть равен нулю).

Обратите внимание, что в течение всей операции фиксации адреса на выводах $\overline{\text{RD}}$ и $\overline{\text{WR}}$ удерживается высокое напряжение (линии не активны).

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

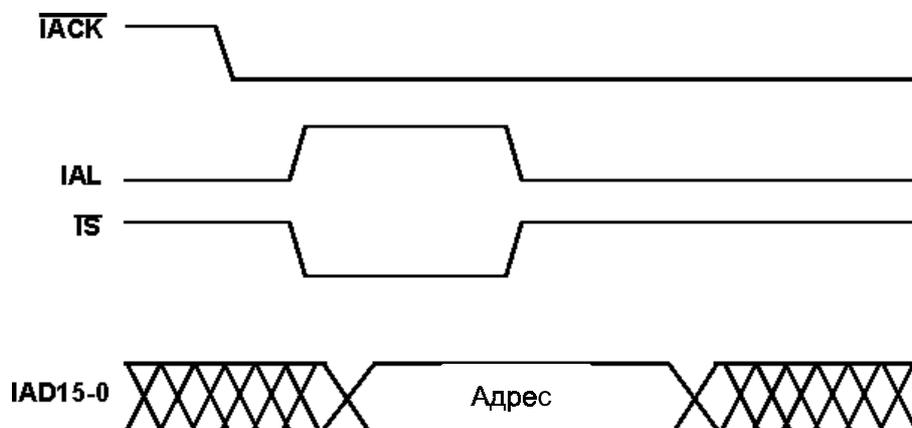


Рис. 11.9 Цикл фиксации адреса при прямом доступе к внутренней памяти

Примечание: начальный адрес и тип памяти, к которой осуществляется прямой доступ, могут быть записаны в регистр управления портом IDMA как хост-машиной, так и ADSP-2181. При осуществлении доступа к памяти данных процессор ADSP-2181 автоматически инкрементирует адрес после каждой операции чтения или записи через порт IDMA (слова разрядностью 16 бит). В случае обращения к памяти программы, процессор также производит автоматическое инкрементирование адреса, но через каждые две операции чтения или записи через порт IDMA (слова разрядностью 24 бита).

Предупреждение: И процессор и хост-машина могут задать начальный адрес посредством записи в регистр управления портом IDMA. При этом процессор ADSP-2181 не должен обращаться к регистру управления портом IDMA одновременно с записью содержимого этого регистра хост-машиной; поскольку это может привести к непредсказуемым последствиям.

11.3.4.2 Долгий цикл чтения через порт IDMA

Хост-машина считывает содержимое ячейки внутренней памяти процессора ADSP-2181 используя при этом долгий цикл чтения через порт IDMA. Этот цикл чтения состоит из следующих операций (см. рис. 11.10).

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

1. Хост-машина убеждается, что на линии $\overline{\text{ТАСК}}$ удерживается низкое напряжение.

2. Хост-машина выставляет сигналы $\overline{\text{RD}}$ и $\overline{\text{IS}}$, которые указывают процессору ADSP-2181, что он должен поместить содержимое ячейки, находящейся по указанному внутреннему адресу на линии шины адреса/данных IAD15-0.

3. Процессор ADSP-2181 снимает сигнал $\overline{\text{ТАСК}}$, что служит указанием на осуществление выборки требуемых данных. При повторном выставлении сигнала $\overline{\text{ТАСК}}$ требуемые данные выводятся по шине адреса/данных IAD.

4. Хост-машина определяет, что на линии $\overline{\text{ТАСК}}$ снова удерживается низкое напряжение, и считывает данные (READ DATA) с шины адреса/данных (линии IAD15-0). После считывания данных хост-машина снимает сигналы $\overline{\text{RD}}$ и $\overline{\text{IS}}$.

Обратите внимание, что в течение всей операции считывания на линии IAL удерживается низкое, а на линии $\overline{\text{WR}}$ - высокое напряжение (сигналы не выставлены).

Прямое обращение к внутренней памяти процессора возможно только на границах командных циклов "крадет" один цикл процессора. В лучшем случае считывание 16-разрядного слова памяти данных или первых 16 бит слова памяти программы занимает 2,5 цикла, в худшем - 3,5 цикла. Один цикл требуется для синхронизации, один - для чтения внутренней памяти, а оставшаяся половина цикла уходит на выставление сигнала $\overline{\text{ТАСК}}$. При этом может потребоваться еще один цикл синхронизации. Таким образом, время считывания данных из внутренней памяти определяется следующим образом:

лучший случай:

1 цикл (синхронизации) + 1 цикл (чтения из внутренней памяти) + 0,5 цикла (выставление $\overline{\text{ТАСК}}$) = **2,5 цикла**

худший случай:

1 цикл (синхронизация) + 1 цикл (синхронизация) + 1 цикл (чтение из внутренней памяти) + 0,5 цикла (выставление $\overline{\text{ТАСК}}$) = **3,5 цикла**

Считывание второй половины 24-разрядного слова при обращении к памяти программы не требует дополнительного обращения к внутренней памяти, не зависит от границы командного цикла и занимает 1,5 или 2,5 цикла.

В рассмотренных выше случаях предполагалось, что система будет работать без зависаний и остановок. Причины и условия остановок во время прямого обращения к памяти рассматриваются в разделе ""Украденные" циклы, приостановление обращения к памяти и сигнал $\overline{\text{ТАСК}}$ ".

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

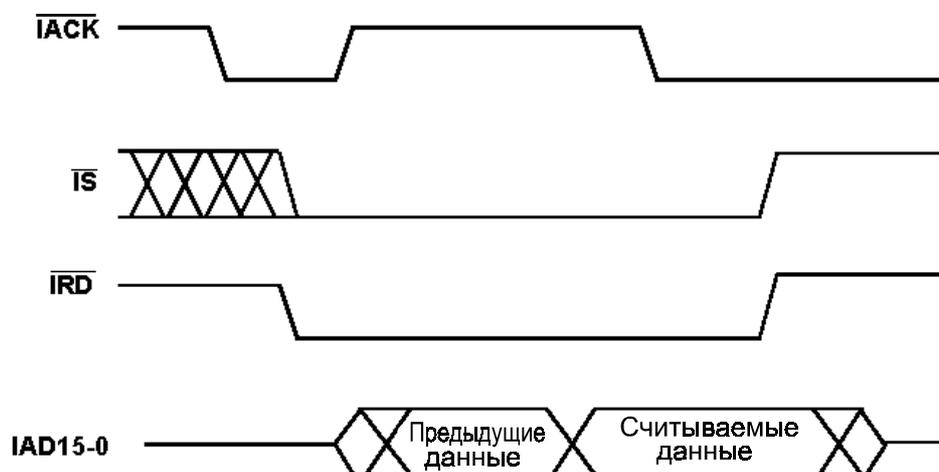


Рис. 11.10 Долгий цикл чтения через порт IDMA

Предупреждение: если цикл фиксации адреса или запись в регистр управления портом IDMA процессором ADSP-2181 происходят после считывания первой половины слова памяти программы (16 бит), вторая половина этого слова будет потеряна, и процессор выполнит следующее обращение к внутренней памяти по новому адресу.

11.3.4.3 Короткий цикл чтения через порт IDMA

Хост-машина считывает содержимое ячейки внутренней памяти процессора ADSP-2181 с использованием короткого цикла чтения через порт IDMA. Этот цикл чтения состоит из следующих операций (см. рис. 11.11).

1. Хост-машина убеждается, что на линии $\overline{\text{IACK}}$ удерживается низкое напряжение.
2. Хост-машина выставляет сигналы $\overline{\text{IRD}}$ и $\overline{\text{IS}}$ (низкий уровень), указывая ADSP-2181 поместить содержимое ячейки с указанным адресом на линии шины адреса/данных IAD15-0.
3. ADSP-2181 снимает сигнал $\overline{\text{IACK}}$, что указывает на осуществление выборки требуемых данных.
4. Хост-машина определяет, что на линии $\overline{\text{IACK}}$ удерживается высокое напряжение и считывает данные (PREVIOUS DATA) с шины адреса/данных (линии IAD15-0) до того, как требуемые данные (READ DATA) будут выведены по линиям шины адреса/данных IAD - не дожидаясь выставления сигнала $\overline{\text{IACK}}$ процессором ADSP-2181. После чтения данных хост-машина снимает сигналы $\overline{\text{IRD}}$ и $\overline{\text{IS}}$.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

Хост-машина должна выполнить одну "холостую" операцию считывания, для того, чтобы процессор ADSP-2181 успел поместить первое слово данных (PREVIOUS DATA) на шину адреса/данных (линии IAD15-0).

Обратите внимание, что в течение всей операции считывания на линии IAL удерживается низкое, а на линии \overline{IWR} - высокое напряжение (обе неактивны).

Длинные и короткие циклы чтения через порт IDMA являются альтернативными способами реализации передач данных при прямом доступе к памяти. Короткие циклы полезны для хост-машин, обладающих достаточным быстродействием для совершения таких обращений к памяти процессора, в то время как длинные циклы чтения предоставляют больше времени работающим медленно хост-машинам.

Использование коротких циклов чтения может интерпретироваться как использование буфера данных, состоящего из одной ячейки. При работе ADSP-2181 в мультипроцессорной системе этот буфер является одним из возможных способов избавиться от связывания шины IAD (ожидания сигнала \overline{IACK}).

Предупреждение: если цикл фиксации адреса или запись в регистр управления портом IDMA процессором ADSP-2181 происходят после считывания первой половины слова памяти программы (16 бит), вторая половина этого слова будет потеряна, и процессор рассматривает следующие посылаемые хост-машиной по шине адреса/данных данные как новое содержимое регистра управления портом IDMA.

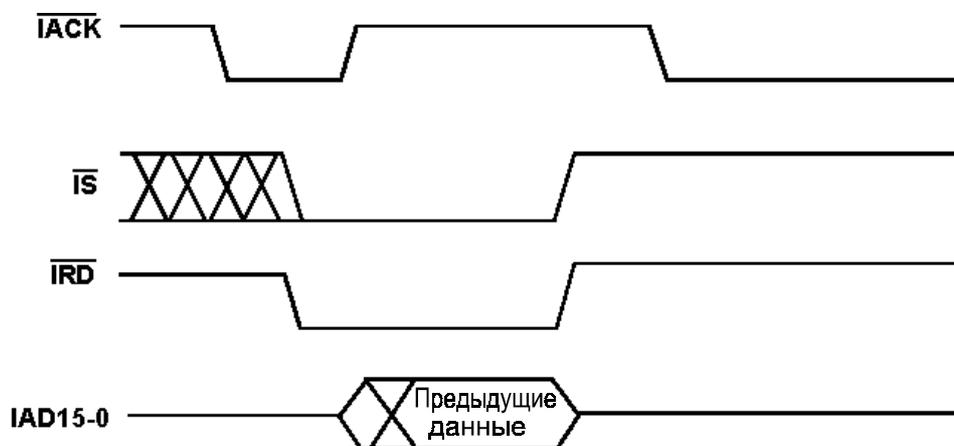


Рис. 11.11 Короткий цикл чтения через порт IDMA

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

11.3.4.4 Долгий цикл записи через порт IDMA

Хост-машина записывает содержимое ячейки внутренней памяти используя длинный цикл записи через порт IDMA. Этот цикл записи состоит из следующих операций (см. рис. 11.12).

1. Хост-машина убеждается, что на линии $\overline{\text{IACK}}$ удерживается низкое напряжение.

2. Хост-машина выставляет сигналы $\overline{\text{IWR}}$ и $\overline{\text{IS}}$ (низкий уровень), указывающие, что процессор ADSP-2181 должен записать данные, передаваемые по линиям шины адреса/данных IAD15-0, в ячейку внутренней памяти по назначенному адресу.

3. ADSP-2181 снимает сигнал $\overline{\text{IACK}}$, что указывает на опознание операции записи.

4. Хост-машина выводит данные по шине адреса/данных IAD.

5. Процессор ADSP-2181 повторно выставляет сигнал $\overline{\text{IACK}}$, указывая на фиксацию данных на линиях IAD15-0 шины адреса/данных.

6. Хост-машина убеждается, что на линии $\overline{\text{IACK}}$ снова удерживается низкое напряжение, прекращает выводить данные по шине адреса/данных порта IDMA и снимает сигналы $\overline{\text{IWR}}$ и $\overline{\text{IS}}$ (завершая долгий цикл записи через порт IDMA).

Обратите внимание, что в течение всей операции записи на выводе IAL удерживается низкое, а на линии $\overline{\text{IRD}}$ - высокое напряжение (обе линии неактивны).

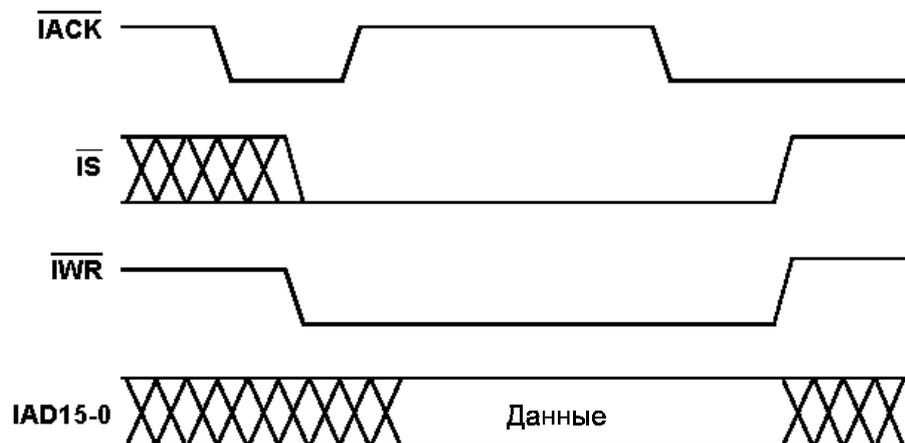


Рис. 11.12 Долгий цикл записи через порт IDMA

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

Примечание: для операции записи слова в память программы требуется два цикла записи через порт IDMA. Процессор ADSP-2181 подтверждает запись первых 16 (старших) бит слова памяти программы после их временной фиксации не *ожидая* границы командного цикла. Процессор ADSP-2181 не выставляет сигнала $\overline{\text{IACK}}$ после записи второй половины слова памяти программы (или записи слова памяти данных) *до полного* завершения операции записи во внутреннюю память и готовности порта IDMA к следующей передаче.

Предупреждение: для записи данных с хост-машины во внутреннюю память программы требуется два цикла записи через порт IDMA (24-разрядное слово передается через 16-разрядный порт). Если цикл фиксации адреса или запись в регистр управления портом IDMA процессором ADSP-2181 происходят после записи первой половины слова памяти программы, порт IDMA теряет слово памяти программы, а содержимое внутренней памяти процессора ADSP-2181 остается неизменным. Во время следующих операций чтения или записи через порт IDMA используется адрес согласно обновленному содержимому регистра управления портом IDMA.

11.3.4.5 Короткий цикл записи

Хост-машина осуществляет запись ячейки внутренней памяти процессора ADSP-2181 с использованием коротких циклов записи через порт IDMA. Этот цикл записи состоит из следующих операций (см. рис. 11.13).

1. Хост-машина убеждается, что на линии $\overline{\text{IACK}}$ удерживается низкое напряжение.
2. Хост-машина выставляет сигналы $\overline{\text{WR}}$ и $\overline{\text{IS}}$ (низкий уровень), указывающие, что процессор ADSP-2181 должен записать данные, передаваемые по линиям шины адреса/данных IAD15-0, в ячейку внутренней памяти по указанному адресу.
3. ADSP-2181 снимает сигнал $\overline{\text{IACK}}$, что указывает на опознание операции записи через порт IDMA.
4. Хост-машина выводит данные по шине адреса/данных IAD.
5. Хост-машина снимает сигналы $\overline{\text{WR}}$ и $\overline{\text{IS}}$ завершая короткий цикл записи.
6. Процессор ADSP-2181 определяет, что на выводах $\overline{\text{WR}}$ и $\overline{\text{IS}}$ снова установилось высокое напряжение, фиксирует данные на шине адреса/данных.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

7. Хост-машина останавливает вывод данных по линиям шины адреса/данных IAD15-0 при выполнении всех требований к временным характеристикам короткого цикла записи.

Обратите внимание, что в течение всей операции записи на выводе IAL сохраняется низкое, а на выводе \overline{IRD} - высокое напряжение (обе линии неактивны).

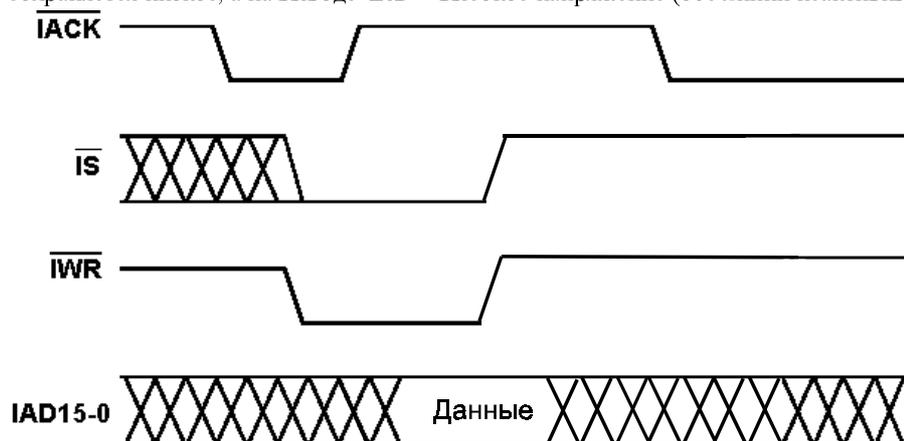


Рис.11.13 Короткий цикл записи через порт IDMA

Примечание: для записи одного слова во внутреннюю память программы процессора ADSP-2181 требуется два цикла записи через порт IDMA. Процессор ADSP-2181 подтверждает запись первых (старших) 16 бит слова памяти программы после их временной фиксации, *не ожидая* границы командного цикла. Процессор ADSP-2181 не выставляет сигнала \overline{IACK} после записи второй половины слова памяти программы (или всего слова памяти данных) *до полного* завершения операции записи и готовности порта IDMA к следующей передаче.

Предупреждение: если цикл фиксации адреса и запись в регистр управления портом IDMA процессором ADSP-2181 происходят после записи первой половины слова в память программы, то порт IDMA теряет первую половину слова памяти программы. Следующие передаваемые данные будут восприняты процессором как первая половина слова памяти программы.

Короткие и длинные циклы записи через порт IDMA имеют одно существенное отличие. Длинные циклы записи поддерживают хост-машины (процессоры или специализированные интегральные схемы), для которых существенно подтверждение завершения записи данных. Если хост-машина нуждается в подтверждении, что процессор ADSP-2181 записал данные, следует использовать длинные циклы записи.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

Короткие циклы записи позволяют хост-машине удерживать данные на шине до тех пор, пока они не будут зафиксированы, а затем шина может быть освобождена. Использование коротких циклов записи в мультипроцессорных системах является одним из возможных способов избежать затора шины IAD (ожидания сигнала $\overline{\text{IACK}}$). Короткие циклы записи также полезны при работе с такими хост-машинами, быстродействие которых достаточно для коротких циклов записи, но которые не могут осуществить обращение к процессору при невыставленном сигнале $\overline{\text{IACK}}$ (когда происходят остановки).

11.3.5 Начальная загрузка через порт IDMA

Процессор ADSP-2181 поддерживает начальную загрузку через порт IDMA. Для загрузки через порт IDMA требуется соблюдать следующую процедуру:

- перезапустите процессор (выставьте сигнал $\overline{\text{RESET}}$);
- установите MMAP равным 0, а BMODE - 1 для начальной загрузки через порт IDMA;
- снимите сигнал $\overline{\text{RESET}}$;
- выполните операцию загрузки внутренней памяти процессора ADSP-2181 через порт IDMA; выполнение программы при этом откладывается до записи нулевого адреса памяти программы PM(0x0000); процессор отвечает на управляющие сигналы порта IDMA: $\overline{\text{IAL}}$, $\overline{\text{IS}}$, $\overline{\text{WR}}$ и $\overline{\text{RD}}$ и выдает сигнал подтверждения $\overline{\text{IACK}}$ таким же образом, как и в случае других передач данных через порт IDMA;
- запишите данные в ячейку памяти PM(0x0000) для начала выполнения программы.

Предупреждение: убедитесь, что вы правильно загрузили все необходимые ячейки памяти до записи данных в ячейку PM(0x0000).

11.3.6 "Украденные" циклы, приостановление обращения к памяти и сигнал $\overline{\text{IACK}}$

Сигнал $\overline{\text{IACK}}$ генерируется ADSP-2181 для подтверждения безопасности передачи данных через порт IDMA. Этот сигнал выставляется (низкое напряжение) сразу после перезапуска и удерживается до тех пор, пока не начинается передача данных через порт IDMA. После завершения каждой операции порта IDMA сигнал $\overline{\text{IACK}}$ выставляется повторно.

Чтобы удержать сигнал $\overline{\text{IACK}}$ (сохранить низкое напряжение) во время операции порта IDMA, последний должен завершать доступ к внутренней памяти либо записью данных в память, либо чтением данных из памяти. Для этого порт IDMA должен "украсть" цикл процессора, что может быть сделано только на границе командного цикла. Таким образом, если сигнал $\overline{\text{IACK}}$ не выставлен, успешное обращение хост-машины к порту IDMA не гарантируется.

ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ 11

В большинстве случаев, границы командного цикла совпадают с каждым циклом тактового генератора (периодом сигнала CLKOUT) и порт IDMA может завершить свою передачу за такой промежуток времени. Имеется, однако, несколько случаев, когда процессор ADSP-2181 не может завершить команду или порт IDMA не может получить доступ к памяти в течении одного цикла тактового генератора. Тогда операции прямого обращения к внутренней памяти приостанавливаются по следующим причинам.

- **Запрос шины** - если ADSP-2181 обрабатывает запрос на предоставление шины во время доступа к внешней памяти (оверлейной памяти программы, оверлейной памяти данных, области памяти ввода/вывода), или когда процессор не находится в режиме GO, выполнение программы приостанавливается в середине цикла, и граница командного цикла никогда не достигается. В итоге, порт IDMA не может завершить операцию прямого доступа к внутренней памяти и сигнал $\overline{\text{TACK}}$ будет снят.

- **Обращения к внешней памяти с состояниями ожидания** - если процессор ADSP-2181 выполняет обращение к внешней памяти с запрограммированным числом состояний ожидания, то командный цикл не будет завершен до окончания операции обращения к памяти; порт IDMA не может "украсть" цикл процессора, и сигнал $\overline{\text{TACK}}$ будет снят.

- **несколько обращений к внешней памяти** - если процессор ADSP-2181 выполняет многофункциональную команду, требующую несколько доступов к внешней памяти (выборка команды из памяти программы, доступ к данным памяти данных или данных памяти программы), такая команда не может быть завершена за один цикл и сигнал $\overline{\text{TACK}}$ будет снят. Аналогичным образом, если ADSP-2181 выполняет команду из внешней памяти программы, которая инициализирует обращение к памяти ввода/вывода, сигнал $\overline{\text{TACK}}$ будет снят до завершения цикла.

- **Команда IDLE n (команда IDLE с уменьшением частоты внутренних тактовых синхроимпульсов)** - поскольку эта команда замедляет время цикла процессора ADSP-2181, сигнал $\overline{\text{TACK}}$ может быть отложен.

- **Автобуферизация содержимого регистров последовательного порта во внешнюю память с использованием состояний ожидания при обращении к последней** - когда один из последовательных портов процессора нуждается в обращении к внешней памяти для автобуферизации и такое обращение к внешней памяти занимает более одного цикла, передача IDMA может быть отложена.

11 ПОРТЫ ПРЯМОГО ДОСТУПА К ПАМЯТИ

- **Эмуляция с использованием EZ-ICE** - в случаях, когда эмулятор EZ-ICE управляет поведением отлаживаемой системы, передачи через порт IDMA могут быть отложены на определенные периоды времени.

Использование сигнала $\overline{\text{TACK}}$ упрощает проектирование системы с цифровым сигнальным процессором и позволяет игнорировать перечисленные условия, когда передачи через порт IDMA приостанавливаются. Передачи через порт IDMA будут осуществляться правильно, если для подтверждения доступа к порту IDMA будет использоваться сигнал $\overline{\text{TACK}}$.

Вы можете, однако, и не использовать этот сигнал, *но только в том случае, если вы полностью уверены, что в вашей системе не возникнет ни одно из перечисленных условий возникновения остановок, или если требуемые прямые обращения к внутренней памяти займут больше времени, чем любые остановки.* Чтобы убедиться в этом, вам следует внимательно проанализировать вашу систему на предмет возможных условий возникновения остановок.

