

ВВЕДЕНИЕ

Проблема разработки принципов построения и применения унифицированных высокопроизводительных вычислительных средств и общего программного обеспечения, характеризуется рядом противоречивых условий, выполнение которых может быть достигнуто для определенного круга специфических прикладных задач. Среди них можно выделить две группы задач:

обработки сигналов требующих режима вычислений реального или квазиреального времени;

информационно-расчетных, как правило, не требующих режима реального времени и характеризующихся широким набором изменяющихся исходных данных.

Задачи обработки высокоскоростных сигналов отличаются высокими требованиями по быстродействию используемых вычислительных средств, и даже самые современные ЭВМ, функционирующие под управлением операционных систем реального времени, не в состоянии обеспечить обработку таких сигналов без привлечения специализированных вычислительных структур на базе программируемых логических матриц или сигнальных процессоров. Последние, в свою очередь, тоже обладают различными свойствами и возможностями, использование которых целесообразно рассматривать в контексте конкретных задач обработки сигналов.

Применение программируемых вычислительных структур для обработки сигналов

Возможности сигнальных процессоров

Необходимость высокоскоростной обработки цифровых сигналов привело к появлению нового класса устройств - процессоров цифровой обработки сигналов (DSP), применяемых во многих областях техники. К таким областям относятся:

обработка и распознавание речевых сигналов;

распознавание образов;

телевидение;

радиовещание;

телефония;

радиолокация;

сети и телекоммуникации;

средства мультимедиа;

моделирование виртуальной реальности;

Многообразие архитектур процессоров DSP, алгоритмов цифровой обработки сигналов (ЦОС), инструментальных средств моделирования и проектирования выдвигает необходимость анализа и выбора наиболее оптимальных процессоров и алгоритмов обработки.

Выбор сигнального процессора представляет сложность для большинства разработчиков. Чаще всего они ориентируются по соотношению цена-производительность, легкость использования, качества средств разработки, возможностей технической поддержки и доступности кодов и алгоритмов. Кроме того, разработчики ориентируются также на стоимость, потребляемую мощность, высокую интеграцию и другие критерии, такие как тактовая частота, размер памяти на чипе и поддержка языков программирования высокого уровня.

Архитектура СП

Современные сигнальные процессоры разделяются на следующие основные категории:

процессоры с Принстонской архитектурой (предложена фон Нейманом);

процессоры с Гарвардской архитектурой.

Оставшиеся классы, использующие различные комбинации основных архитектур.

Процессоры с Принстонской архитектурой характеризуются единой шиной адреса и шинной данных предназначенной для выборки команд процессора и данных. Типичными представителями данного класса DSP являются процессоры серии TMS фирмы Texas Instruments. К достоинствам данной категории можно отнести относительную простоту архитектуры и технологические наработки, позволяющие снизить себестоимость реализации процессоров.

Процессоры с Гарвардской и Супер Гарвардской архитектурой (SHARC) имеют в своей структуре несколько независимых шин для обмена информацией между ядром процессора и памятью:

шина выборки адреса команд процессора;

шина пересылки команд;

шина выборки адреса данных;

шина пересылки данных.

Такая архитектура характерна для сигнальных процессоров производимых фирмой Analog Devices. Они отличаются следующими ключевыми возможностями:

способность быстрого выполнения арифметических операций;

способность быстрой выборки данных;

способность к эффективной оптимизации повторяющихся операций.

Ниже представлены наиболее общие возможности процессоров семейства ADSP-2100.

Общие возможности процессоров семейства ADSP-2100

Возможности	Описание
Выполнение команд за один такт	<p>Один такт на инструкцию.</p> <p>Отсутствие дополнительных тактов ожидания при ветвлении, переходах и вызовах подпрограмм.</p> <p>Простой высокооптимизированный код</p>
Совместимый код	<p>Все члены семейства ADSP21000 строятся с использованием общего базового ядра и совместимы на уровне программного обеспечения.</p> <p>Использование единой среды разработки для всех процессоров семейства ADSP21000</p>
Оптимальная интеграция ядра, памяти, и средств ввода/вывода	Высокоскоростное ядро, большой объём встроенной памяти, разнообразные средства ввода/вывода.
Большая встроенная память	<p>Позволяет хранить большие объёмы информации необходимые при цифровой фильтрации, или быстром преобразовании Фурье.</p> <p>Снижает простои при обращении к внешней памяти.</p>
Оптимизация выполнения циклов	<p>Встроенная поддержка оптимизации выполнения циклов.</p> <p>Поддержка аппаратного выполнения циклов.</p>
Совместимость по выводам	При смене типа процессора нет необходимости переразводки плат.

Используемые форматы представления данных

В реальной системе ЦОС, как бы она ни была реализована (в виде спецвычислителя на базе DSP или на персональной ЭВМ) коэффициенты ЦОС и отсчеты обрабатываемого сигнала представляются с *ограниченной точностью*.

Сама система называется *цифровой системой*, а обрабатываемые сигналы — *цифровыми сигналами*.

Цифровой сигнал представляет собой *квантованный по уровню* дискретный сигнал, т.е. квантованную последовательность отсчетов (чисел) X_n , $n = 0, 1, 2, \dots$, которые могут принимать лишь конечный ряд дискретных по величине значений — *уровней квантования*.

Представление и кодирование чисел

Формы представления чисел

В системах ЦОС используются две формы представления чисел:

с фиксированной точкой;

с плавающей точкой.

Фиксированная точка

Плавающая точка

Выводы

Наиболее простые в реализации и быстродействующие цифровые системы используют представление чисел в форме с фиксированной точкой. На этом принципе строится большинство спецвычислителей и ряд цифровых сигнальных процессоров (DSP), например, процессоры семейств ADSP2100 фирмы Analog Devices, TMS320 фирмы Texas Instruments и др.

Представление чисел в форме с плавающей точкой используется в системах ЦОС в тех случаях, когда требуется большая точность реализации алгоритма и большой динамический диапазон обрабатываемых сигналов. На этом принципе строятся системы ЦОС на базе персональных ЭВМ, а также ряд семейств DSP, например, ADSP2106X, TMS320C30 и др.

Кодирование чисел

Прямой код

Дополнительный код

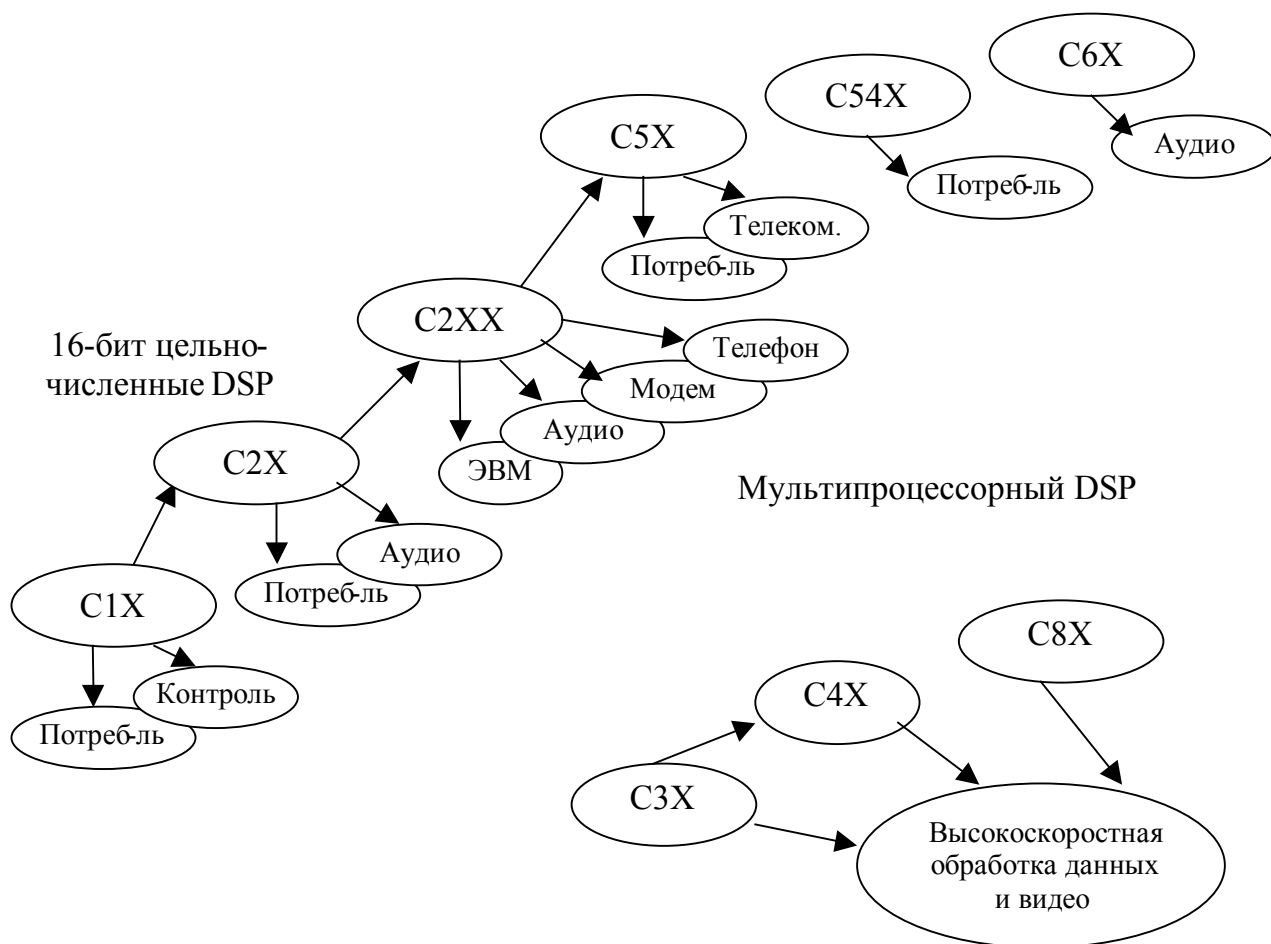
Обратный код

Арифметические операции над числами с фиксированной точкой

Квантование чисел и сигналов в DSP

Характеристики СП серии TMS320Cxx

Фирмой Texas Instruments выпускается большое количество различных сигнальных процессоров, предназначенных для самых различных применений.



32-бит DSP с плавающей тчк.

Общая классификация процессоров семейства TMS

В связи с невысокой стоимостью младшие модели процессоров серии TMS находят применение в различных устройствах обработки аудио сигналов.

Ниже приводится сравнительная таблица применения процессоров TMS разных серий в модемах для различных стандартов.

Таблица 2

Протокол обмена	Дуплекс	Модуляция	Скорость данных	DSP/Загрузка %	Примеч.
V.29	Полу	DPSK/AM	9600	C2xx/90-100	Факсы
V.32	Полный	QAM	9600	C2xx/90-95	Модем
V.32bis	Полный	QAM	14400	C2xx/100 C5x/40-100	Модем/ сети
V.34	Полный	QAM	19200	C5x/50-100 C8x/20	Модем/ телекомм.
V.33	Полу	QAM	14400	C2xx	Модем/ сети
V.17	Полу	QAM	14400	C2xx	Скор. Факс

QAM – квадратурная-амплитудная модуляция.

DPSK – дифференциальная фазовая модуляция.

К наиболее часто выполняемым в модемах функциям относятся:

модуляция/демодуляция;

автоматическое управление уровнем;

подавление эхо;

фильтрация;

генерация двухтональных посылок

Из представленной таблицы видно, что в основном для обработки аудио сигналов применяются 16-битные процессоры с целночисленным представлением данных, и небольшим объёмом внутренней памяти. Для обработки видеоизображений, распознавания образов и в радиолокации применяются более производительные 32-х битные процессоры с плавающей точкой серий TMS320C3X, TMS320C4X, TMS320C8X. В табл. 3 приведены основные характеристики процессоров серии TMS.

Основные характеристики процессоров серии TMS

Проц.	Тип Данных	Частота	<i>MIPS</i>	Ширина шины внешней/данных/адреса	Размер памяти	Порты, Кол/Ширина в бит	Питание
C8X	Оба		150, 250	64/64/32	50К RAM	1/64 Парал	.
C62xx	Целые	200	1600	32/32/20	64Кx8 RAM	1/32 Парал, 2 посл	2.5/3.3V
C54x	Целые	80, 100, 133	40, 50, 66	16/16/16	32Кx16 RAM, 48Кx16 ROM	1/8 Парал, 1 - 3 посл, 64Кx16 I/O ports	3.0V, 3.3V, 5.0V
C5x	Целые	40, 57, 80, 100	20, 28.5, 40, 50	16/16/16	10Кx16 RAM, 32Кx16 ROM	1/8 Парал, 1 - 2 serial, 64Кx16 I/O ports	3.3V, 5.0V
C4x	Плав.	40 - 80	40 - 80	32/32/32	2Кx32 RAM, boot ROM, 512x8 кеш	32x32 - 4Gx32 Парал	3.3V - 5V
C3X	Плав.	33 - 60		32/32/24	2Кx32 RAM, boot ROM, 64x16 кеш	16Mx32 Парал, 1 - 2 посл	3.3V - 5V
C2xx	Целые	40 - 80	20 - 40	16/16/16	4.5К RAM, 4К ROM	64Кx16 Парал, 2 - 3 посл	3.3V - 5V
C2x	Целые	40 - 50		16/16/16	1.5К RAM, 4К EPROM, 4К ROM	16x16 Парал, 1 посл	5V
C1x	Целые	16 - 35	3 - 8.7	16/16/16	256x16 RAM, 8К ROM, 4К EPROM	6x16 - 8x16 Парал, 1 - 2 посл	5V

Характеристики DSP с SHARC архитектурой

Фирмой Analog Devices выпускается большое количество сигнальных процессоров различного назначения. Однако являясь конкурентом фирмы Texas Instruments далее (TI), фирма Analog Devices предлагает в своих процессорах ряд различных усовершенствований, которые позволяют ей успешно конкурировать с Texas Instruments за рынки сбыта.

Поэтому обзор характеристик процессоров с SHARC архитектурой (табл. 4) будет проводиться в сравнении с DSP TMS320C601. Будут также рассмотрены основные характеристики VelocityTI архитектуры, на которой базируются процессоры C62x с фиксированной точкой и DSP C67x с плавающей.

Из-за сильных различий в архитектуре между SHARC DSP и C6x, трудно провести детальное сравнение. SHARC архитектура разработана с акцентом на равновесии между эффективностью вычислений с плавающей запятой, большой внутренней двухпортовой памятью, производительными каналами DMA и ввода - вывода, и интегрированными многопроцессорными возможностями. Другое различие в этих двух процессорах - то, что SHARC поддерживает числа формата IEEE, данные с плавающей запятой, а процессор C6201, не имеет никаких аппаратных средств, чтобы поддержать эти операции. SHARC включает 32-разрядное слово данных, поддерживает, и выполняет эти операции в одном цикле. Процессор C67x - версия с плавающей запятой, построенный на основе VelocityTI архитектуры, которая была объявлена TI.

Обзор характеристик строится на следующих подходах:

Декларируемая производительность процессоров и их производительность в реальных приложениях.

Влияние архитектуры ядра процессоров на производительность в реальных приложениях.

Системная интеграция и мультипроцессорные возможности.

Скорость разработки устройств и создания программного обеспечения.

Семейство SHARC представлено следующими членами:

ADSP-21060/ADSP-21060L—(4 Mbits внутренней SRAM) 120 MFLOPS

ADSP-21062/ADSP-21062L—(2 Mbits внутренней SRAM) 120 MFLOPS

ADSP-21061/ADSP-21061L— (1 Mbit внутренней SRAM) 150 MFLOPS

Основные характеристики процессоров SHARC архитектуры

Проц.	Тип данных	Частота	MIPS	Ширина шины внешней/данных/адреса	Память	Цикл загрузка/сохранен. (ns)	Порты, Кол/Ширина в бит	Питание
ADSP-2101KS	Фикс	25	25	16/24/14	8К RAM	40	1/24 Парал, 2 посл	
ADSP-21020	Плав-ая	33	33	32/48/32	32x16 кеш	25	1/80 Парал, 2 посл	5V
ADSP-2105KP	Фикс			16/24/14	4К RAM	.	1/24 Парал, 1 посл 1	
ADSP-21062	Плав-ая	40	40	32/48/32	256К RAM, 32x16 кеш	25	6/8, 1/80 Парал, 2 посл	3.3V, 5V
ADSP-2115KS	Фикс	25	25	16/24/14	4К RAM	40	1/24 Парал, 2 посл	
ADSP-2171KS	Фикс	16, 67	33	16/24/14	10К RAM, 24К ROM	30	1/8 or 1/16, 1/24 Парал, 2 посл	3V, 5V
ADSP-2181KS	Фикс	16, 67	33	16/24/14	80К RAM	30	1/8 or 1/16, 1/24 Парал, 2 посл	3V, 5V
ADSP-21csp01	Фикс	25	50	16/24/24	20К RAM, 64x16 кеш	20	2/16 or 2/24 Парал, 2 посл	5V

Таблица 5

Сравнение возможностей SHARC и 320C6x

Возможности	C6201	C67x	SHARC
Поддержка вещественных чисел формата IEEE	Нет	Да	Да
Поддержка 32 бит. Целых чисел	Нет	Да	Да
Размер внутренней SRAM.	1 Mbit, 0.5 Mbit для программ и 0.5 Mbit данные	Нет информации	1, 2 или 4 Mbit. Кофигур. по необходимости
Двух портовая независимая память	Нет	Нет	Да
Количество serial port	2	Нет информации	2
Поддержка нескольких процессоров	Нет	Нет информации	Поддержка 2 х видов, кластеры и связи.
Каналы DMA	2 (возможно 4)	Нет информации	10
Количество регистров	32	32	128
Размер аккумулятора	40	Нет информации	80
64 бит Результат	Нет	Да	Да
Обмен регистр-память	64 бит/такт	128 бит/такт	64 бит/такт
Программное обеспечение	Компилятор C и Ассемблера	Компилятор C и Ассемблера	Оптимизирован. Алгоритм. язык
Количество поддерживаемых циклических буферов.	8	8	32
Размер кода стандартного FIR фильтра.	100 инструкций	100 инструкций	25 инструкций
Рассеиваемая мощность	7 Ватт на 2.5 вольт.	Нет информации	1.5 Вт на 3.3V
Размер	35 mm	Нет информации	23mm

Декларируемая производительность процессоров и их производительность в реальных приложениях

Различные разработчики DSP приложений использует декларируемую производительность (ДП), чтобы сравнивать между собой эффективность процессоров. Однако ДП вычислений процессора - максимальная скорость вычислений достижимая при условии, что все модули вычисления осуществляются с полным быстродействием.

Texas Instruments рекламирует C6201 как процессор с производительностью 1600 МИЛЛИОНОВ ОПЕРАЦИЙ В СЕКУНДУ (MIPS). Эти цифры показывают скорость работы восьми функциональных модулей в двух потоках данных в 200 MHz. Но это не

традиционный способ измерения производительности и поэтому преувеличивает эффективность процессора. Традиционно, MIPS определен как индекс выполненных математических операций в секунду. При такой оценке производительность процессора C6201 уменьшается примерно до 400 MIPS. Однако, ДП вычисления - не точный критерий качества работы для реальных прикладных программ, потому что она игнорирует ряд факторов. К этим факторам относится, число доступных регистров, размер памяти, производительность DMA, и скорость каналов ввода - вывода.

Наконец, степень, оптимизации кода в ассемблере, особенно в критических циклах, оказывает основное влияние на фактическую эффективность работы процессора.

Влияние архитектуры ядра процессора на производительность в реальных приложениях

При выборе процессора, разработчик должен обращать внимание на основную архитектуру процессора, чтобы судить о его адаптируемости и легкости интеграции в прикладные программы, которые процессор должен выполнять. Поскольку SHARC поддерживает несколько типов данных и имеет более гибкую встроенную память, в большинстве прикладных программ, SHARC ADSP-2106x станут оптимальными процессорами, для разработки приложений.

Процессор C6x имеют два потока данных, каждый с шестнадцатью 32-разрядными регистрами, общедоступными восьмью функциональными модулями. Два банка регистров используются для сохранения:

- Обычных данных
- адресов (указателей)
- Счетчиков циклов
- Информации об условных переходах

Ограниченное число регистров, может снизить эффективность выполнения прикладной программы. Например, эффективное выполнение быстрого преобразования Фурье (FFT) по основанию 4 может потребовать более 10 различных указателей для одновременного обращения к данным. При этом к ним не относятся регистры для математических операций на данных.

В каждом из двух потоков данных процессора C6201 присутствуют следующее четыре функциональных модуля:

- 16 x 16-bit множитель (M Модуль);
- 32/40 bit арифметика и логика (L Модуль);
- 32-bit модуль переходов, арифметики и логики (S Модуль);
- 32-bit генератор адреса (D Модуль);

M модуль используется вместе с одним из других арифметических модулей для операции умножения и накопления (MAC). Так как C6201 имеет только 16-разрядный множитель, это приводит к выполнению четырех 16-разрядных операций умножения и дополнения, для умножения 32-разрядных данных. S модуль используется для обработки переходов в программе, и D модуль используется для генерации адреса данных и круговой буферизации. C6201 не имеет никаких функциональных модулей, чтобы поддержать операции с плавающей запятой.

Набор модулей процессора C67x представляет собой расширенный набор модулей процессора C6201. То есть они могут делать все то же, что и модули C6201, плюс дополнительные операции представленные ниже:

(M Модуль) умножение 24/32 бит с фикс. точкой, 32/64 бит с плав. точкой

(L Модуль) арифм. операции 32/40 бит с фикс. точкой, 32/64 бит с плав. точкой

(S Модуль) сдвиг/переход 32/40 бит с фикс. точкой, 32/64 бит с плав. точкой

(D Модуль) Без изменений

Ядро SHARC, состоит из трех главных областей: вычислительного модуля, генератора адреса данных (DAGs), и программного секвенсора. Вычислительный модуль состоит из ALU, MAC, модуля сдвига, и файла регистров с 10 портами. Файл регистров содержит 16 первичных и 16 дополнительных регистров. Все операции с данными выполняются в файле регистров, и каждый регистр имеет ширину 40 бит. Вычислительные модули SHARC поддерживают три типа данных: 40-разрядный и 32-разрядный 754/854 ИИЭРА с плавающей запятой, и 32-разрядный с фиксированной точкой (с поддержкой двумя 80 разрядными сумматорами). Все операции в процессоре выполняются за один такт.

В SHARCe, переходы в программах реализованы в программном секвенсоре(переключателе). Генерация адреса Данных и циклическая буферизация реализована с помощью двух генераторов (DAG1, и DAG2). Имеются 96 регистров, специально выделенных для DAG. Поскольку модули вычисления, генераторы, и программный секвенсор, каждый имеет свои собственные наборы регистров, SHARC не столь восприимчив к проблемам, связанным, регистровыми ограничениями как в процессорах C6x.

Процессор C6x – это (VLIW) процессор. Это расшифровывается как Очень Длинное Слово Команд. К проблемам VLIW команд относятся то, что при чередовании длинных и коротких инструкций процессора имеющих 32х битный формат возникает необходимость добавления команды пустой операции (NOP) для выравнивания 32 битной границы. C6x упаковывает команды, чтобы избежать неэффективного использования памяти программы. Однако, упаковка команд может кончиться ограничениями выравнивания между элементами и физической организацией памяти. Эти ограничения уменьшают эффективность упаковки команды, и имеют тенденцию увеличивать размер кода.

В C6x, программа организована как блок с восьмью командами называемая пакетом выборки. Каждый пакет выборки может быть разделен на меньшие группы команд, которые

выполняются параллельно. Они называются, исполняемыми пакетами. Ограничения в Сбх возникают поскольку исполняемый пакет не может пересекать границу с восьмью словами, что означает, что каждый пакет выборки должен начинаться новым, исполняемым пакетом. Это уменьшает плотность упаковки, каждый из пакетов выборки, которые не заканчиваются исполняемым пакетом, должен дополниться командами NOP.

Выполнение по предсказанию

Этот метод позволяет распараллеливать выполнение двух ветвей условия и осуществлять переход на исполняемый код той или иной ветви в зависимости от условия. Условное выполнение особенно важно во VLIW процессорах с глубоким конвейером. Этот метод используется, чтобы ограничить потерю эффективности из-за неверно предсказанных ветвей, условно выполняя разделы кода. Например, в инструкции if-else в С может быть осуществлен явный переходом из if раздела в else раздел. В Сбх, число потерянных команд в случае неверного предсказания перехода от 5 до 40. В результате происходит более длительное выполнение программы из-за циклически повторяемых вызовов. Сбх осуществляет условное выполнение, проверяя значение в одном из пяти предопределенных регистров. Трех регистров в одном потоке данных и двух регистрах в другом потоке данных. Само предсказание требует использования другого регистра, таким образом ограничивая число доступных регистров в файле регистров.

SHARC имеет три конвейера команд. Самая большая задержка перехода – два цикла процессора. Отсроченные ветви поддерживаны так, чтобы программисты могли воспользоваться преимуществом этих двух циклов процессора, чтобы выполнить другие команды. Специальная логика была добавлена к программному секвенсору, чтобы поддержать оптимизированное исполнение циклов. Эти циклы – прерываемые и могут иметь глубину вложенности в шесть уровней. Условное выполнение основано на флажках в регистрах, предназначенных для этой операции.

Прерывания

Прерывания одну из наиболее важных особенностей DSP. Прерывания – по существу случайные события, которые происходят в прикладных программах в режиме реального времени. В случае прерывания процессор, сохраняет адрес текущей команды в регистре, и затем переходят к адресу подпрограммы обработки прерывания. Когда подпрограмма обработки прерывания закончена, процессор возвращается к выполнению команды, которая была до прерывания. Обработка прерываний, позволяет гибко обрабатывать беспорядочно встречающийся события и создает условия реального времени в пределах процессора в прикладной программе.

Для Сбх, время реакции на прерывания – семь тактов, и время ожидания прерывания – 11 тактов (время ответа). Все прерывания, заблокированы в течение обработки задержки ветвлений, даже, когда переход не принят. Взаимодействие между прерываниями, и конвейером без блокировки, представляет некоторые трудности.

ADSP-2106x DSPs не имеют этих проблем, потому что все операции SHARC закончены в пределах единственного цикла процессора. Это включает и запись результата регистры. Поэтому код SHARC для сложных внутренних циклов – полностью прерываем. Конвейер оказывает свое влияние, и время ожидания определено как число тактов требуемых, для того чтобы закончить операцию. Даже при том, что команда может иметь время ожидания большее чем один такт, в конвейере возможно достичь необходимой производительности цикла. Это происходит, потому что новая команда, начинается в каждом такте. Команды на C6x выполняются с различными задержками (табл. 6).

Таблица 6

Количество тактов процессора необходимое для обработки различных команд

Команда	C6x	SHARC
Обработка всех прерываний	7	1
Переход	6	1
Загрузка/сохранение	5	1
Умножение с фикс.точкой	2	1
Сложение с фикс.точкой	1	1
Сложение с плав.точкой	4	1
Умножение с плав.точкой	4	1

Системная интеграция и периферийные устройства

В реальных приложениях размер внутренней памяти является критичным для производительности. Небольшой размер внутренней памяти приводит к необходимости обращения к более медленной внешней памяти для сохранения данных и/или программы. Это значительно снижает производительность процессора.

Максимальное число 32-разрядных команд, которые C6201 может обработать - 16КБ, учитывая 100 % плотность упаковки. В худшем случае, неэффективная упаковка может привести к увеличению размера кода на 60 %.

Чтобы обеспечивать высокую производительность вычислений, процессор должен иметь высокопроизводительную подсистему ввода/вывода. В процессоре без внутренней памяти, производительность системы ввода – вывода (I/O) должны соответствовать производительности ядра процессора. В процессоре с внутренней памятью, производительность системы ввода/вывода может не соответствовать основной производительности за счет хранения и многократного использования данных во внутренней памяти.

C6201 имеет 1 Mbit внутренней памяти, разделенной на две части равного размера, одна для памяти программы (PM) и одна для памяти данных (DM), по 0.5 Mbits. DM имеет четыре блока, которые связаны с файлами регистров двумя 32-разрядными шинами данных. Ширина шины файла регистра - 64-bits. Согласно исследованиям Microdesign Resources, "Даже при том, что С6х может выполнять гораздо большее количество команд за один такт чем другой DSP, он не имеет соразмерной ширины шины для обмена с памятью".

В процессорах SHARC используется двухпортовая память и поэтому ядро и DMA может обращаться к внутренней памяти в одном и том же такте. Это очень улучшает полную эффективность, потому что ядро не обременено задачами, имеющими дело с операциями вводом - выводом. Эта особенность является критической в некоторых реальных приложениях, программах типа: FFTs, фильтрации, речевого сжатия, звукового сжатия, алгоритмов для модема, ADSL, беспроводная связь, медицинские прикладные программы, графика и обработка изображений. Если внешняя память необходима для прикладной программы, эффективность С6х ограничена шириной внешней шины. Внешняя шина на С6201 называется EMIF (внешний интерфейс памяти) и имеет ширину в 32-bits. EMIF работает на частоте в 200 MHz. Так как пакеты выборки для С6х из внутренней памяти, являются 256-битными (8 32-разрядных команд, один для каждого вычислительного модуля), выполнение из внешней памяти по 32-разрядному EMIF уменьшило бы эффективность процессора с коэффициентом 8. При загрузке программы из внешней памяти производительность С6х's в 1600 МИЛЛИОНОВ ОПЕРАЦИЙ В СЕКУНДУ уменьшится до 200 МИЛЛИОНОВ ОПЕРАЦИЙ В СЕКУНДУ и позволяет исполнять только 50 MACs в секунду. Чтобы избежать использование внешней памяти, в С6х's внутренняя память может использоваться как кэш. Однако, важно помнить, что низкая производительность кэша заставит процессор обращаться к внешней памяти, снова сокращая эффективность. Другая потенциальная проблема с выполнением команд из внешней памяти - её готовность на частоте 200MHz. SHARC не имеет этих ограничений, и его производительность не снижается при выполнении команд из внешней памяти.

Периферийные устройства и DMA

Для обмена данными процессор С6201 в настоящее время имеет только два периферийных устройства. EMIF (внешний интерфейс памяти) - 32-разрядный широкий параллельный порт, который может обращаться к внешнему асинхронному SRAM, SDRAM, и SBSRAM. HPI (ведущий интерфейс порта) шириной 16-bits дает возможность главному компьютеру обратиться к внутренней памяти данных процессора. В будущих версиях С6201 будут иметься два последовательных порта. Имеются два канала DMA; один из которых может использоваться для загрузки процессора из EPROM после сброса. Эти DMA каналы используются для передачи данных во внутреннее DM и PM по EMIF. DMA должен перехватить циклы обмена у ядра, чтобы закончить передачу данных всякий раз, когда С6201 сталкивается с конфликтом памяти.

Периферийные устройства процессоров SHARC включают два синхронных последовательных порта, шесть портов связи, и внешний порт. Эти порты имеют следующие особенности:

Синхронный последовательный порт

- Используется синхронная передача данных
- Производительность 40 Mbits в секунду
- Двухсторонний(независимый приём и передача)
- Поддержка 3 по 32 бит слов
- Поддержка телефонных стандартов T1/E1
- Поддержка форматов Little endian и big endian

Порты связи

- Используются в мультипроцессорных конфигурациях SHARC
- Скорость пересылки 40 mbytes/sec
- 240 Mbytes/sec общая производительность портов
- Все 6 портов связи могут работать независимо или одновременно
- Двухсторонние (независимый приём и передача)
- 32 bit или 48 bit размер слова
- Поддержка до 6 DMA каналов

Внешние порты

- 48 bit параллельная шина данных и 32 bit шина адреса
- 240 Mbytes/sec производительность
- Встроенный интерфейс с памятью типа SRAM
- Встроенная поддержка до 6 SHARC

SHARC имеет 10 каналов DMA. Они предназначены для обмена данными во внутренней памяти, а также с последовательными портами, портами связи, или внешними портами. Одно из преимуществ SHARC архитектуры это то, что DMA не конфликтуют с ядром процессора. В дополнение к ядру, SHARC содержит процессор ввода/вывода (IOP). IOP обеспечивает очень эффективный контроль и арбитраж шины DMA. Если несколько каналов DMA находятся в ожидании, IOP может выбирать канал DMA с самым высоким приоритетом и обработать данные в одном цикле. Это гарантирует, что данные будут пересылаться непрерывно, каждый цикл, даже если передаваемые данные используют различные каналы DMA.

С6х не поддерживает этих возможностей DMA, поэтому может снизить свою производительность.

Анализ характеристик и возможности применения процессоров ADSP21062 и ADSP21065 для обработки сигналов

Для цифровой обработки и распознавания радиолокационных сигналов в зависимости от сложности алгоритмов, возможно применение, как процессора ADSP21062 так и ADSP21065. Применение этих высокоскоростных 32-х разрядных процессоров позволяет получать, хранить и обрабатывать данные с большим запасом по динамическому диапазону сигнала, что является актуальным при обнаружении и распознавании отдельных сигналов на фоне шумов и помех.

Ниже представлены характеристики процессора ASDP 21065.

180 MFLOPS (32-бит плавающая точка)

180 MOPS (32-бит фиксированная точка)

16К 32-бит двухпортовой встроенной памяти (544 Кбит с возможностью конфигурирования)

64М x 32-бит слов внешнее адресное пространство.

SDRAM интерфейс

2 последовательных приемо-передающих 32-битных порта

поддержка 8 каналов в режиме I²S

2 таймера с обработкой событий и PWM опциями.

12 программируемых контактов ввода/вывода.

10 каналов DMA

Встроенная поддержка нескольких процессоров.

Программный код совместим со всеми процессорами семейства SHARC

Питание 3.3/5.0 вольт.

Применение данного процессора целесообразно при необходимости хранения больших объёмов (>4 Mb) промежуточных данных во внешнем ОЗУ SDRAM типа, в связи с его низкой стоимостью и встроенной системой интеграции процессора с внешним ОЗУ. Однако при нехватке места во внутреннем ОЗУ необходимость обращения к более медленному внешнему ОЗУ может снизить производительность процессора. Таким образом, наиболее оптимальным режимом работы будет следующий:

основной объём промежуточных данных хранится во внешнем ОЗУ;

программный код имеет небольшой размер, и храниться во внутреннем ОЗУ;

данные порциями загружаются из внешнего ОЗУ во внутреннее, для обработки.

Альтернативной возможностью, является применение процессора ADSP21062 который имеет следующие характеристики:

40 MIPS, 25ns/команда;

120 MFLOPS;

выполнение команд за 1 такт;

два модуля генерации адреса данных;

эффективный модуль обработки циклов;

возможность построения мультипроцессорной сети;

IEEE JTAG порт доступа стандарта 1149.1 с внутрисхемной эмуляцией;

32-х битные данные одинарной точности и 40-битные данные расширенной точности формата IEEE;

2 Mbit внутренней SRAM;

64К слов память данных (32 бит);

40К слов память программ (48 бит);

двухпортовый независимый доступ для ядра и DMA;

десять каналов DMA;

встроенные возможности мультипроцессорной интеграции.

Данный процессор, являясь более мощным, ориентирован на высокоскоростную потоковую обработку поступающей информации. Имея большой объем внутренней памяти, он позволяет полностью отказаться от применения внешнего ОЗУ в тех случаях, когда это возможно. Однако при необходимости применения внешнего ОЗУ необходимо подключение дополнительного контролера ОЗУ, что приводит к усложнению и удорожанию системы.

Таким образом, для окончательного выбора типа процессора необходимо учитывать следующие основные условия:

сложность алгоритма обработки;

объем кода программы;

необходимость мультипроцессорных конфигураций;

объем и скорость поступления данных;

необходимость хранения больших объемов данных;

критичность к скорости непрерывной обработки;

стоимость разработки системы;

стоимость изготовления;

Кроме этого существует возможность применения других, более мощных процессоров, например ADSP21060 и ADSP21160.

Выводы

3. Обработка информации характеризуется большими объемами цифровых данных, сложными алгоритмами, высокими требованиями к скорости обработки. Поэтому очевидна необходимость применения специализированных плат обработки информации, построенных на основе цифровых сигнальных процессоров и программируемых логических матриц (ПЛИМ или FPGA). Однако выбор конкретной структуры построения платы, целиком определяется сложностью задачи, которую на неё возлагают.

Применение ПЛИМ целесообразно для реализации несложных алгоритмов обработки, как правило, не требующих операций с плавающей точкой. При необходимости достижения предельной скорости обработки, массового распараллеливания операций, применения более сложных алгоритмов обработки наиболее рациональным оказывается применение ПЛИМ в сочетании с сигнальными процессорами. Однако в этом случае существенно возрастает сложность разработки и отладки программного обеспечения, обусловленная сложностью обеспечения взаимодействия ПЛИМ и сигнальных процессоров на программном уровне с учетом временной структуры организуемых схем обработки.

4. Применение сигнальных процессоров позволяет решать задачи по обработке и распознаванию радиолокационной информации при необходимости реализации сложных алгоритмов, требующих больших вычислительных ресурсов и высокой скорости обработки. Возможность наращивать количество процессоров обработки позволяет строить сложные мультипроцессорные системы, в тех случаях, когда это необходимо.

Выбор конкретного типа сигнального процессора определяется совокупностью требований к общей архитектуре устройства обработки и функциональными задачами. Применение процессоров серии TMS возможно в тех случаях, когда необходимо обеспечить обработку данных при условии применения алгоритмов обработки средней сложности, невысоких требованиях к объёму хранения промежуточных данных и большом объёме изготавливаемых изделий. Процессоры фирмы Analog Devices позволяют реализовать более сложные алгоритмы с большим объёмом вычислений и хранением промежуточных данных. Кроме того, удобные средства разработки, отладки и моделирования позволяют значительно ускорить процесс создания программного обеспечения.

Вадим Шатилов