

DSP нового поколения

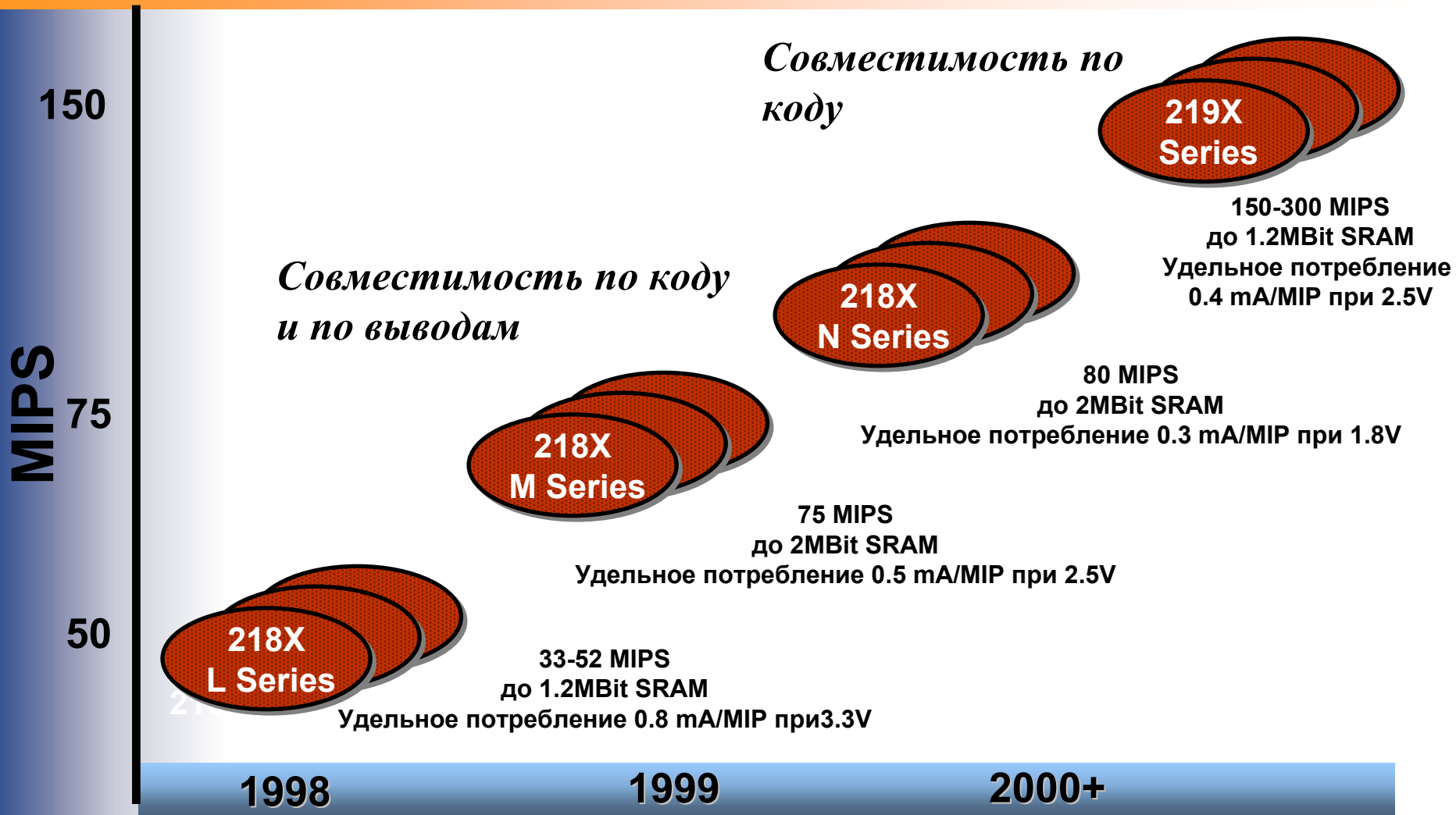


**Архитектура
сигнальных процессоров
в эпоху Интернета**

Обзор семейства 16-разрядных DSP

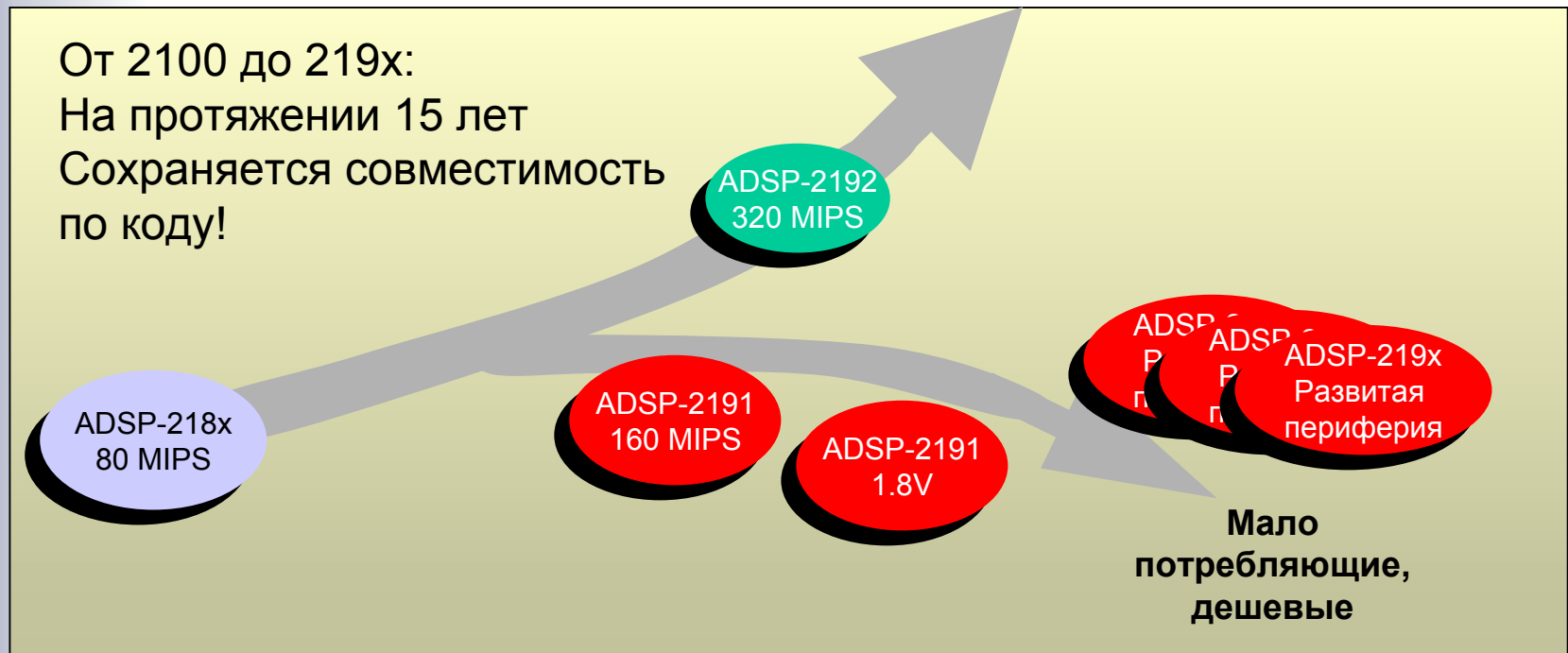


ADSP-2100 - традиция продолжается: Программируемые DSP общего назначения



ADSP-219x Новый продукт

Следом за ADSP-218x выпущено семейство процессоров ADSP-219x – совместимых по коду, дешевых, мало потребляющих DSP с развитой периферией

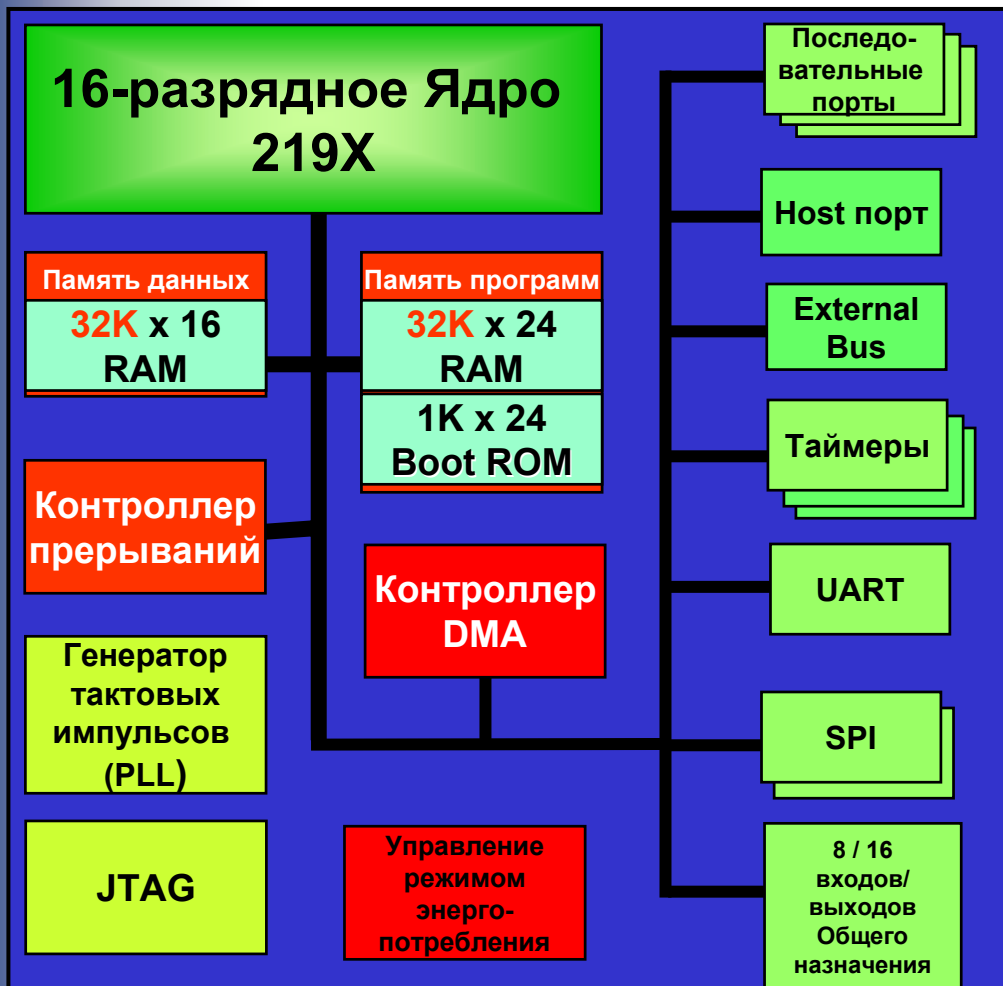


Блок-схема ядра ADSP-219x



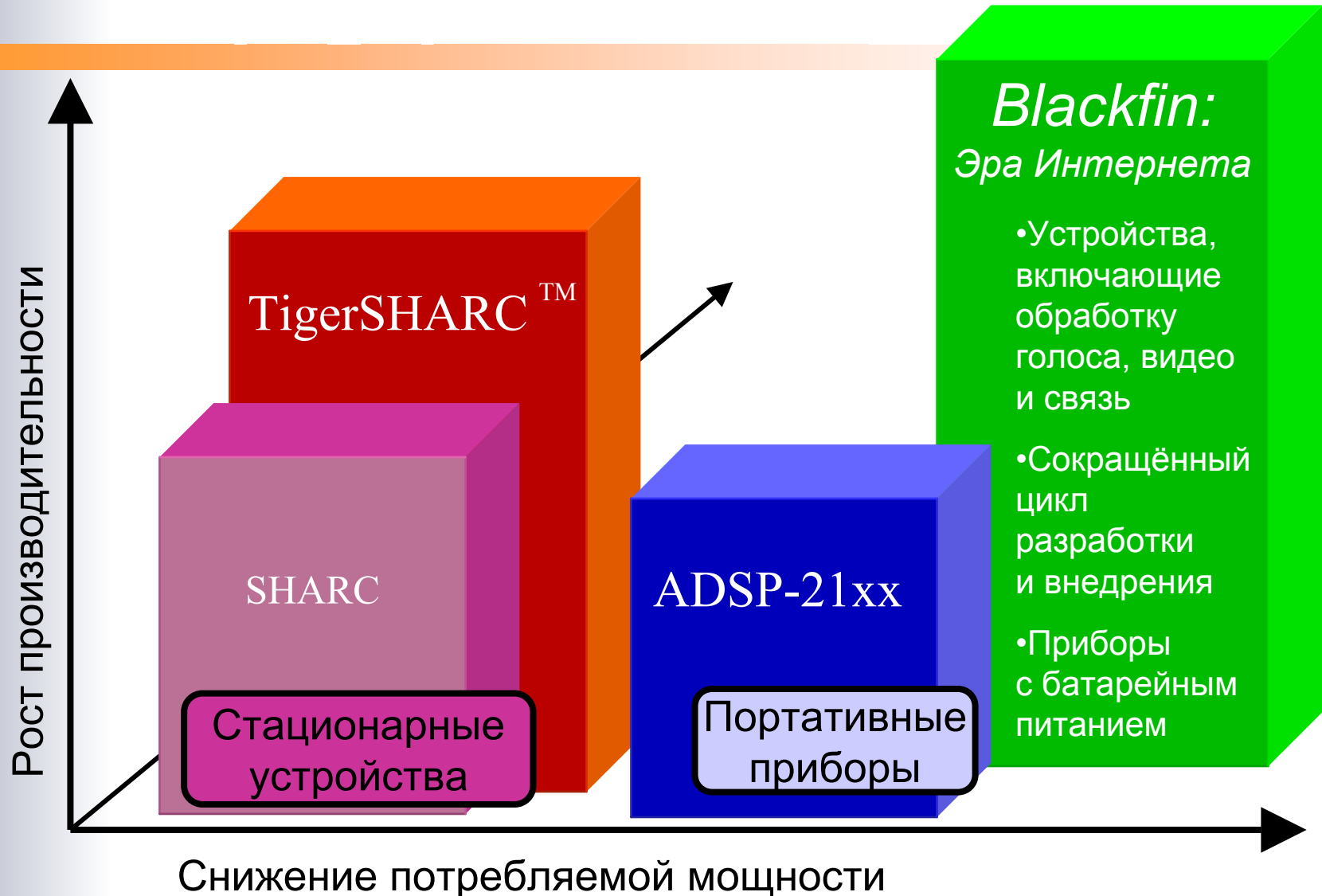
- Совместим по кодам с DSP семейства 218x
- 24-разрядная адресация
- Унифицированное адресное пространство
- Архитектура, удобная с точки зрения компилятора
- JTAG интерфейс для облегчения отладки

Функциональная схема ADSP-2191

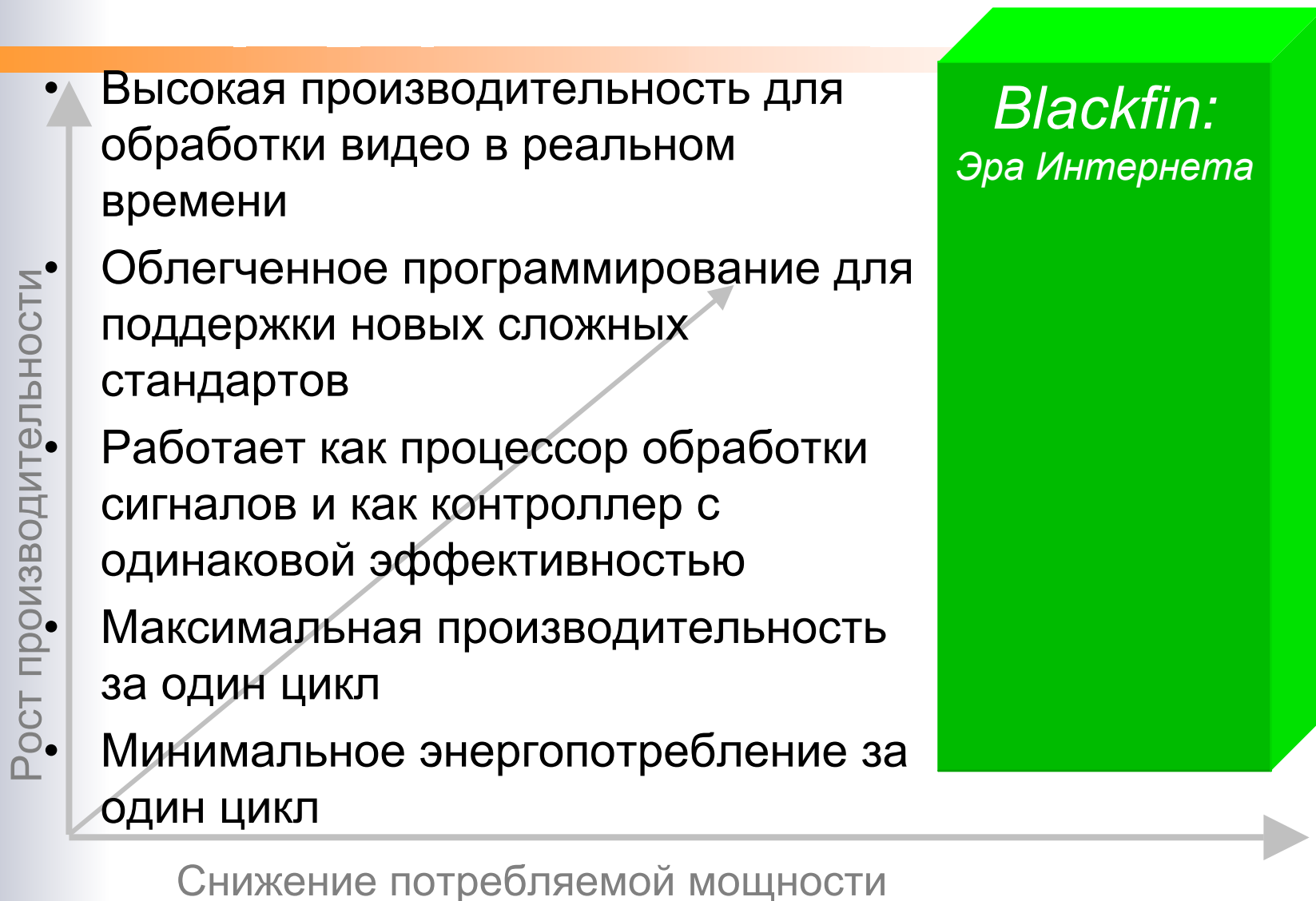


- 160 MIPS
- 32Kx24 память программ
- 32Kx16 память данных
- Загрузочное ПЗУ
- Последовательные порты
- Усовершенствованный Host Порт
- Интерфейс внешней памяти
- Три 32-разрядных таймера
- UART и SPI порты
- До 16 входов/выходов общего назначения
- 11-канальный контроллер DMA
- Программируемый генератор тактовых импульсов
- Гибкое управление питанием
- 4 режима малого энергопотребления
- JTAG интерфейс

Процессоры DSP фирмы Analog Devices: архитектуры, оптимизированные под задачу



Следующее поколение DSP



Применение процессоров обработки сигналов

Портативные компьютеры Цифровые фотоаппараты Видеокамеры Цифровая печать

Звук через Интернет Динамики Мобильные телефоны

Кабельные модемы

Сетевые модемы

Голос через Интернет

Распознавание рукописного текста

Обработка изображений

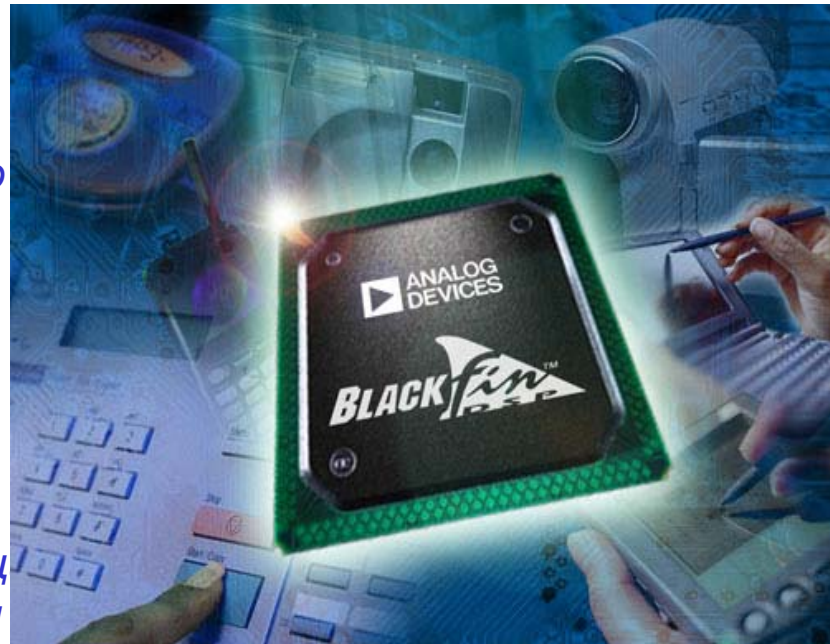
MP3 Audio

Декодирование MPEG

3G Data Terminals

Автомобильная сигнализация

Информационные системы



Телефония
 Модем PABX
 Распознавание речи
 Счетчик речи
 GSM телефоны
 Портативное медицинское оборудование
 VD плеер

Спикерфоны
 Цифровое радио
 Двухмашинные системы управления
 GPS навигация ADSL
 Беспроводные модемы

Телефоны Модемы

Системы навигации Автомобильная безопасность Беспроводные модемы

Упрощает процесс разработки

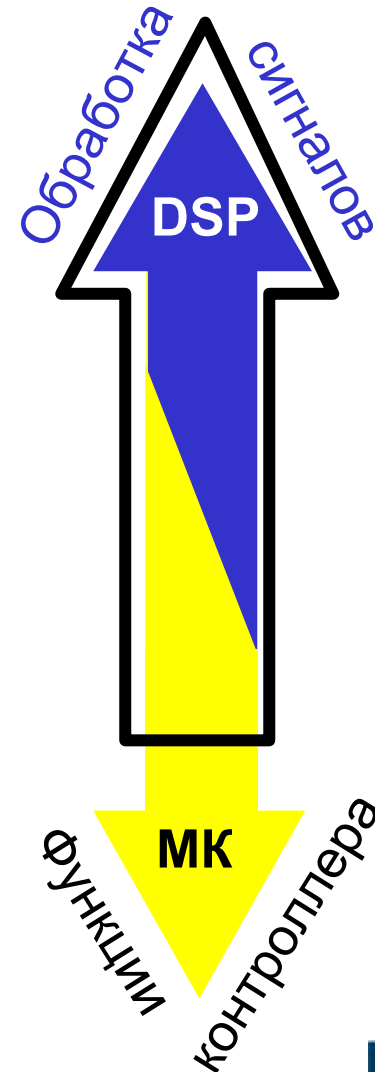


Семейство BlackfinDSP



Упрощает разработку и программирование

- Процессор обработки сигналов и контроллер на одном кристалле
- Динамическое управление питанием оптимизирует энергопотребление

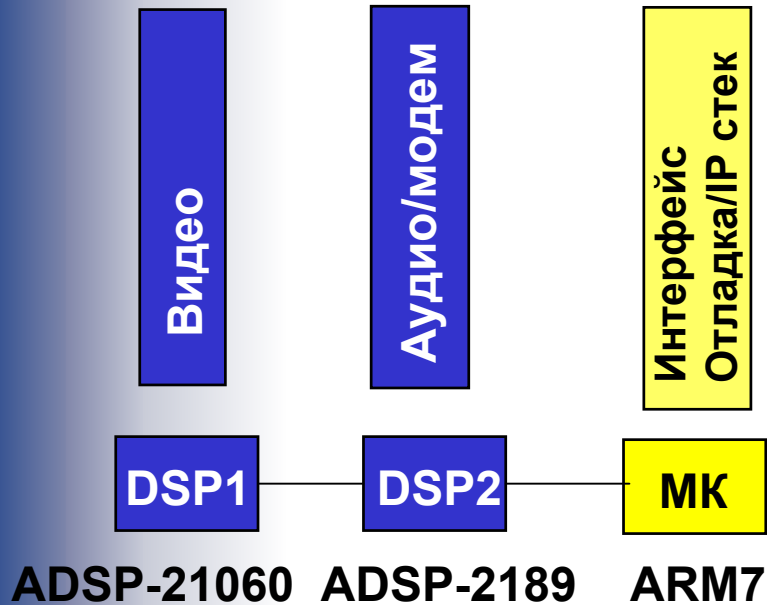


Семейство BlackfinDSP

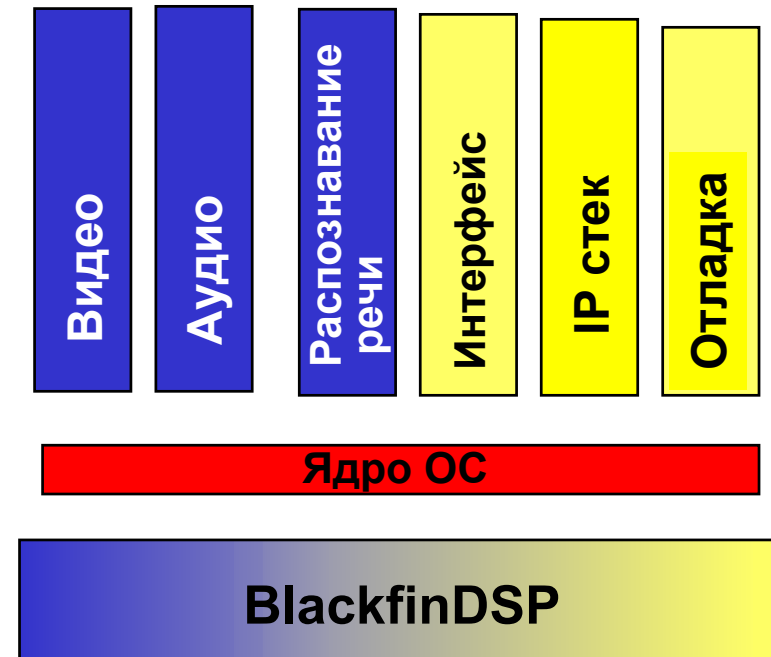


Упрощает разработку и программирование

Обычный подход

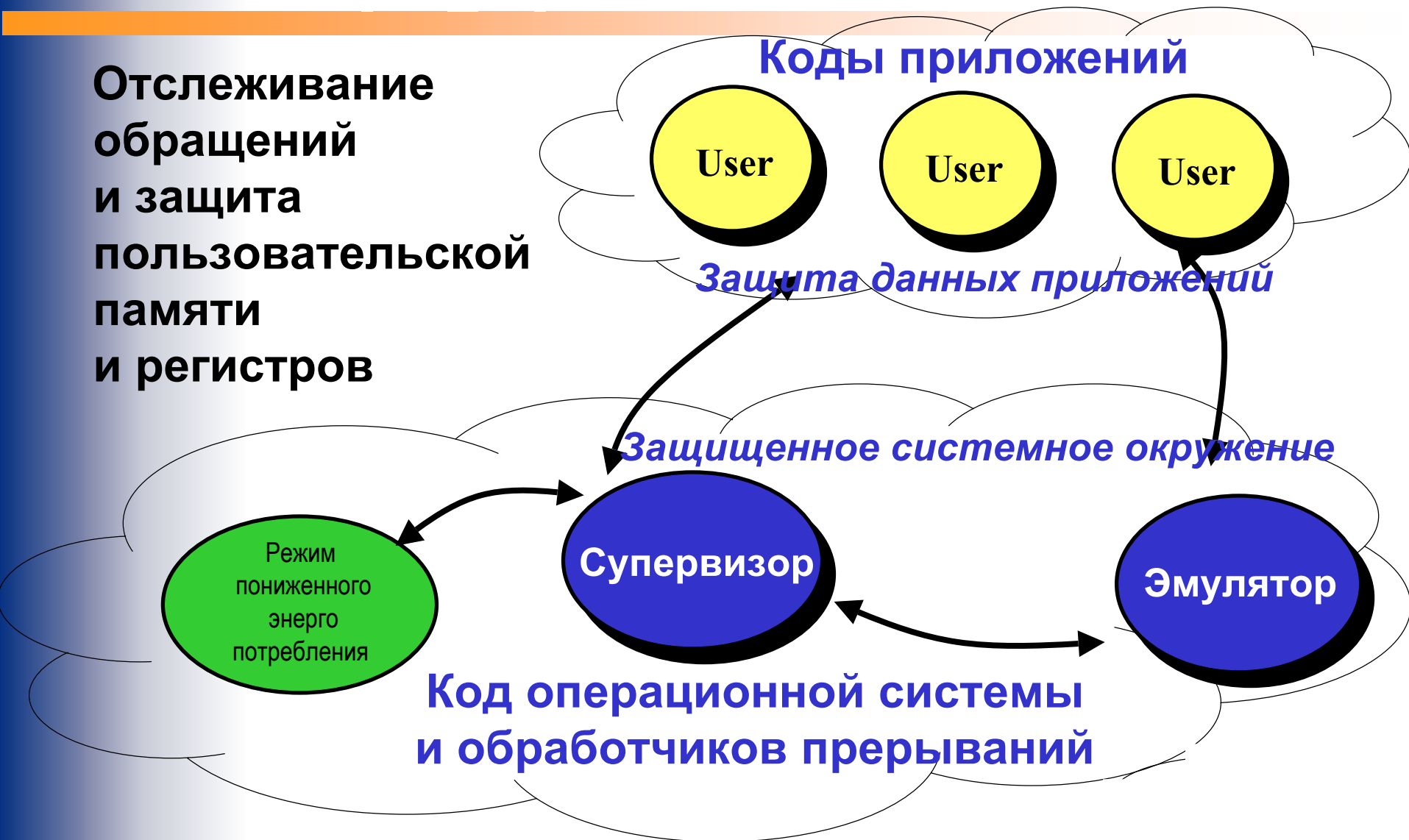


С помощью BlackfinDSP



BlackfinDSP: защищенный режим

Отслеживание
 обращений
 и защита
 пользовательской
 памяти
 и регистров

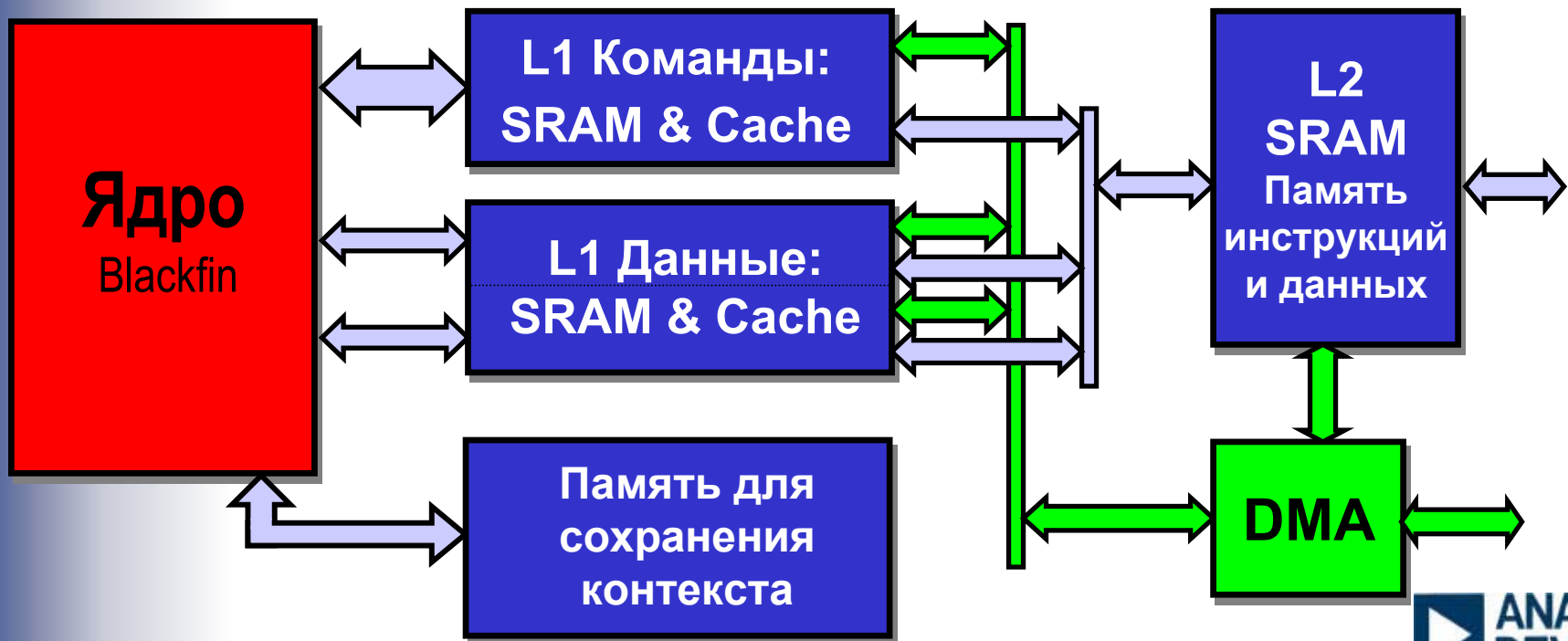


Семейство BlackfinDSP



Упрощает разработку и программирование

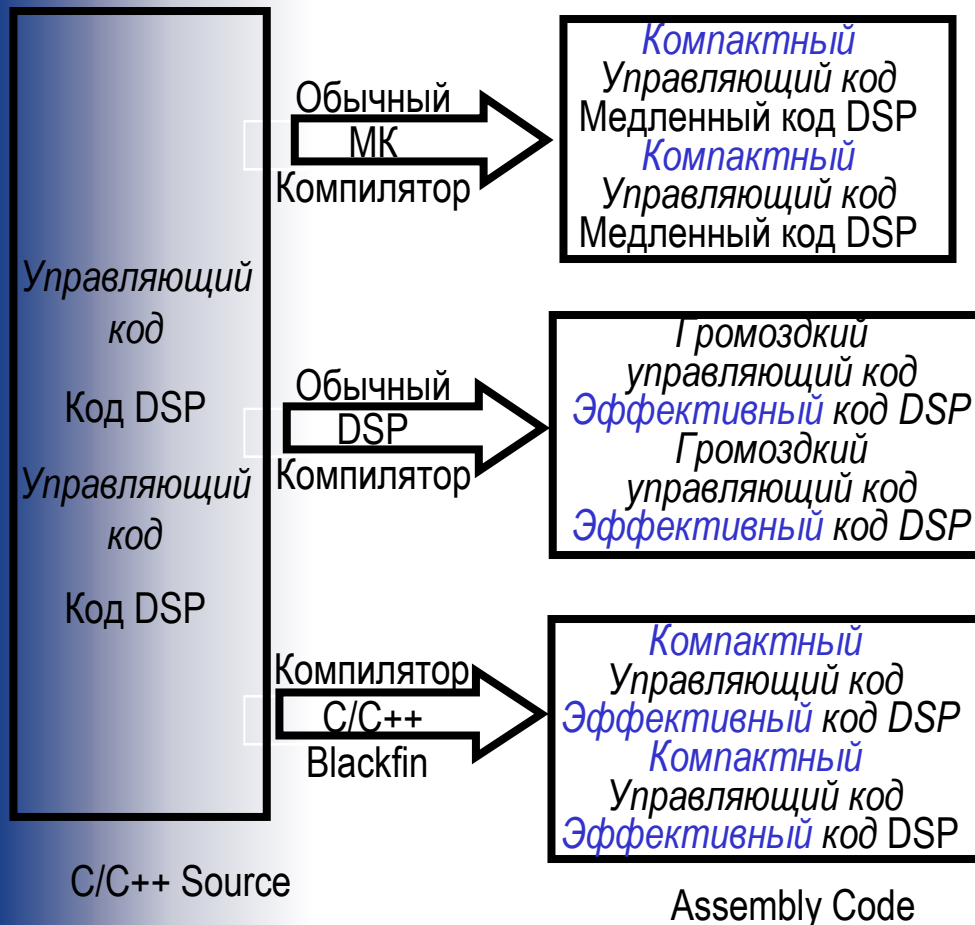
- **Поддержка моделей памяти: с кэшем и со статической памятью**
 - Поддержка Доступа к двум массивам данных
 - для приложений обработки сигналов
 - Поддержка Доступа к данным длиной 8,16,32 bit
 - Многопортовая память L1 (память команд и память данных)



Семейство BlackfinDSP



Упрощает разработку и программирование



Обычный компилятор для МК генерирует:

- Компактный управляющий код, НО
- Большой и неэффективный DSP код
 - Команды МК не годятся для DSP!

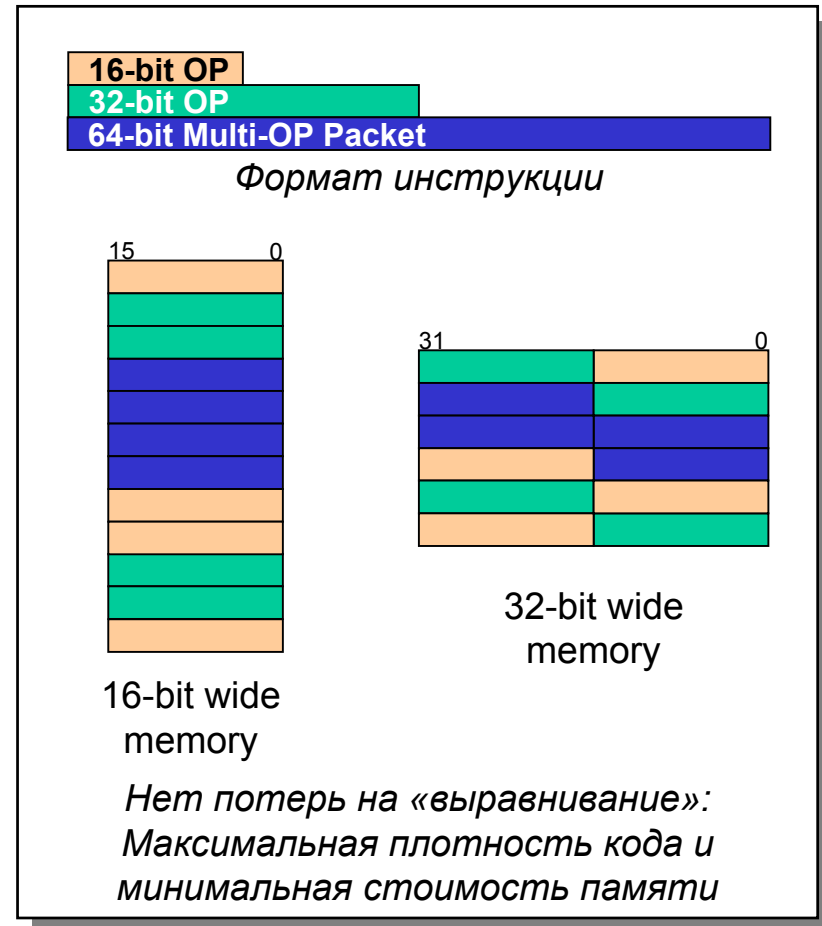
Обычный компилятор для DSP генерирует:

- Эффективный код алгоритмов DSP, НО
- Громоздкий управляющий код
 - Команды DSP плохо приспособлены для управления

Сочетание архитектуры BlackfinDSP и эффективного компилятора обеспечивают:
Компактный управляющий код
и эффективный код DSP

обеспечивает высокую плотность кода

- Набор команд позволяет получить компактный код
 - Команды разной длины:
 - 16, 32-bit
 - Компактные команды Call/Return
- Нет потерь памяти на «выравнивание»
 - Выравнивание «без зазора»
 - Поддерживает 16 и 32-разрядную память

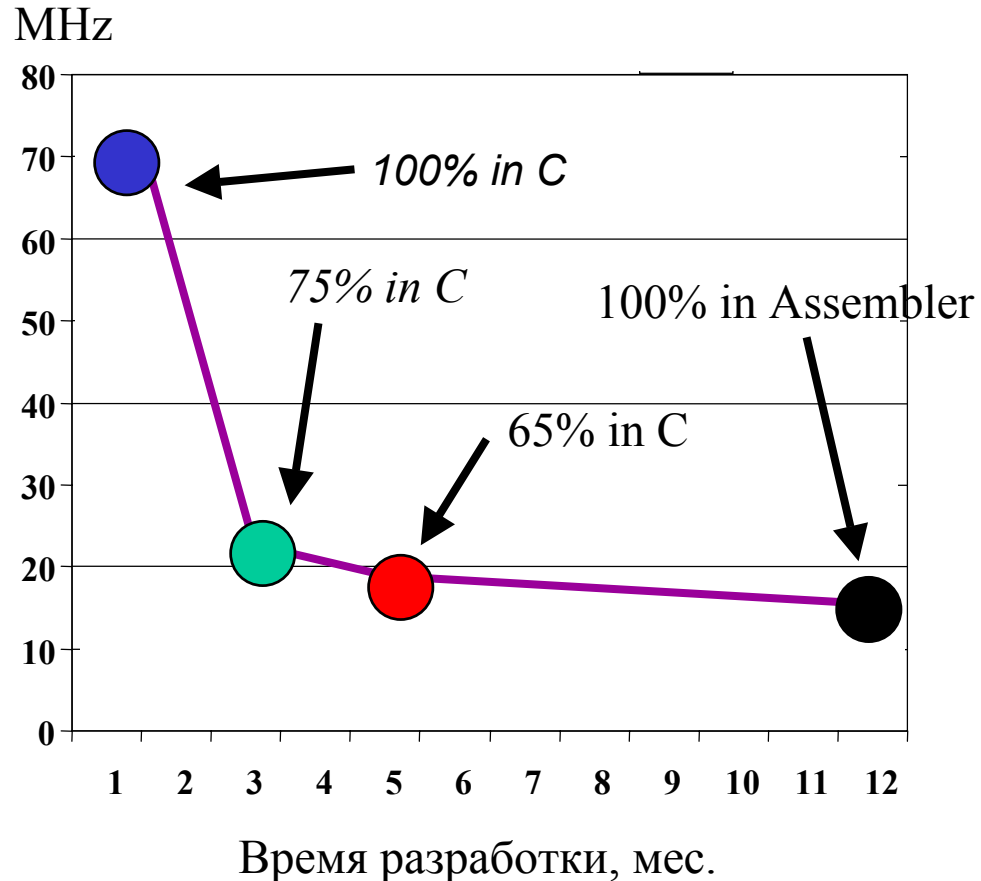


способствует ускоренной реализации проекта

Пример: кодек аудио-модема AMR

Работающий код можно
получить за одну неделю

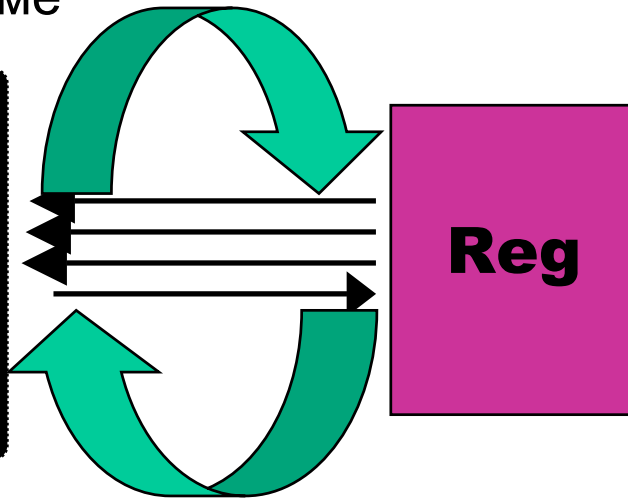
Человеко- -месяцев	% in C	% MHz Overhead
0.25	100%	366%
3	75%	36%
5	65%	20%
12	0%	0%



BlackfinDSP

управляет собственной частотой и напряжением питания

- Много различных режимов пониженного энергопотребления
- Функциональные и периферийные блоки тактируются только в активном режиме



Дополнительные ИС управляют напряжением питания

Динамическое управление питанием при помощи RTOS или программы

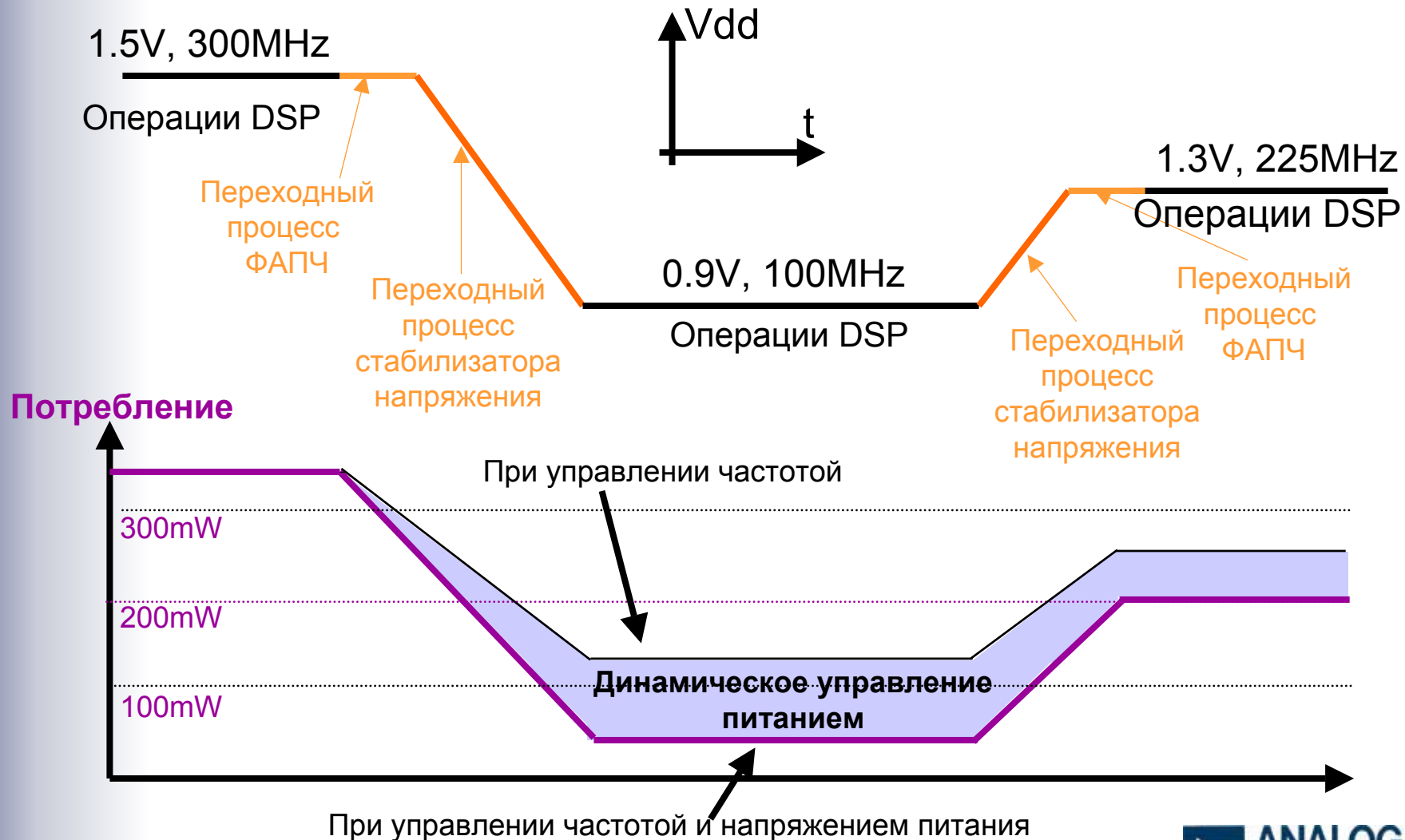
Func	MHz	Vdd
$F_0(x)$	225	1.3
$F_1(y)$	150	1.0
$F_n(z)$	100	0.9

Устанавливает производительность в MIPS, требуемую в данный момент

BlackfinDSP



минимизирует потребляемую энергию в пересчете на один цикл



BlackfinDSP



ОПТИМИЗИРОВАН ДЛЯ ВИДЕО

- До четырех 8-разрядных операций за один цикл
- Дискретное косинусное преобразование 8*8 DCT
менее чем за 300 циклов
 - Два блока Умножения с накоплением (MAC) максимизируют производительность
 - Округление IEEE 1180 Rounding максимизирует эффективность
- Оценка движения
 - Выполняет четыре операции Суммы Абсолютных Разностей за один цикл
- Кодирование по Хаффману
 - Команды Field Deposit / Extract
- Поддерживает стандарты коммуникационных протоколов 2G and 3G
 - Голосовые кодеки: On-The-Fly Saturation Arithmetic
 - Канальные кодеки: в набор команд входят: комплексная математика, перемежение бит, Population Count, Viterbi Dual Add-Compare-Select, and CRC

BlackfinDSP: Резюме

- Новое поколение высокопроизводительных, малопотребляющих DSP фирмы Analog Devices
- Оптимизирован для обработки аудио, видео и для коммуникаций
- Первый DSP, обеспечивающий 600 млн. операций умножения с накоплением для обработки видео
- Ускоряет и облегчает процесс разработки как аппаратной, так и программной частей



Более детальное ознакомление



ADSP-BF535 BlackfinDSP



Нацелен на видео Интернет-приложения

Производительность	600 MMACs 306 Drystone MIPs
Потребление @ 1.5V @ 0.9V	350mW, 300MHz 50mW, 100MHz
Адресное пространство	768Mbytes
Кэш команд/данных	48K bytes
Встроенная SRAM	260Kbytes
Периферия	PCI, USB 2 SPORTS 2 UARTS 2 SPI GP I/O
	0.9V to 1.5V
Корпус	260 PBGA
Название	ADSP-BF535



Динамическое управление питанием позволяет оптимизировать потребляемую мощность

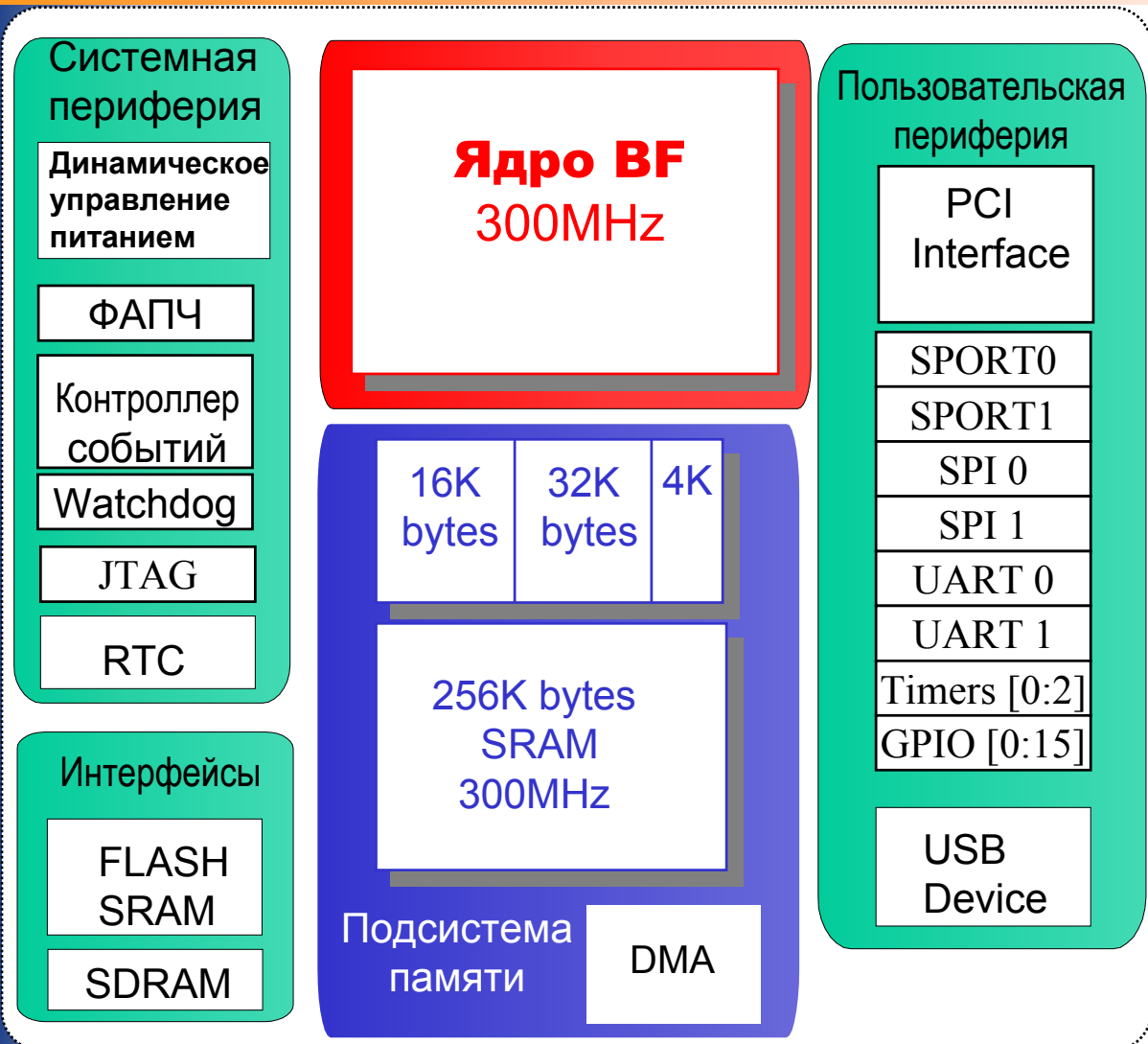
300 MHz
16-bit ядро
с фиксированной точкой

308 Kbytes
встроенной SRAM

Пропускная способность ввода/вывода 2.4ГБайт в секунду

Интерфейсы для внешних FLASH и SDRAM

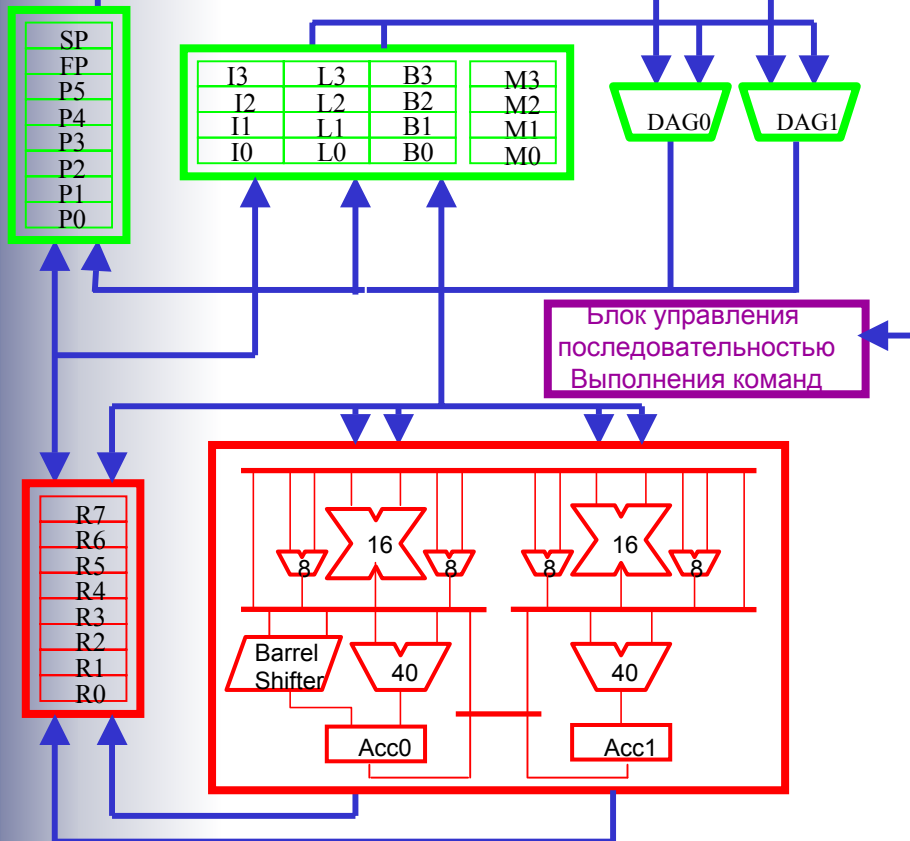
ADSP-BF535 BlackfinDSP



Производительность	600MIPs
Потребление	0.5mW/MIP
Адресное пространство	768Mbytes
Кэш команд/данных	48K bytes
Встроенная память	260Kbytes
Периферия	PCI USB Device 2 SPORTS 2 UARTS 2 SPI GP I/O
V питания	1.5V
Корпус	256 PBGA

Ядро процессора BlackfinDSP

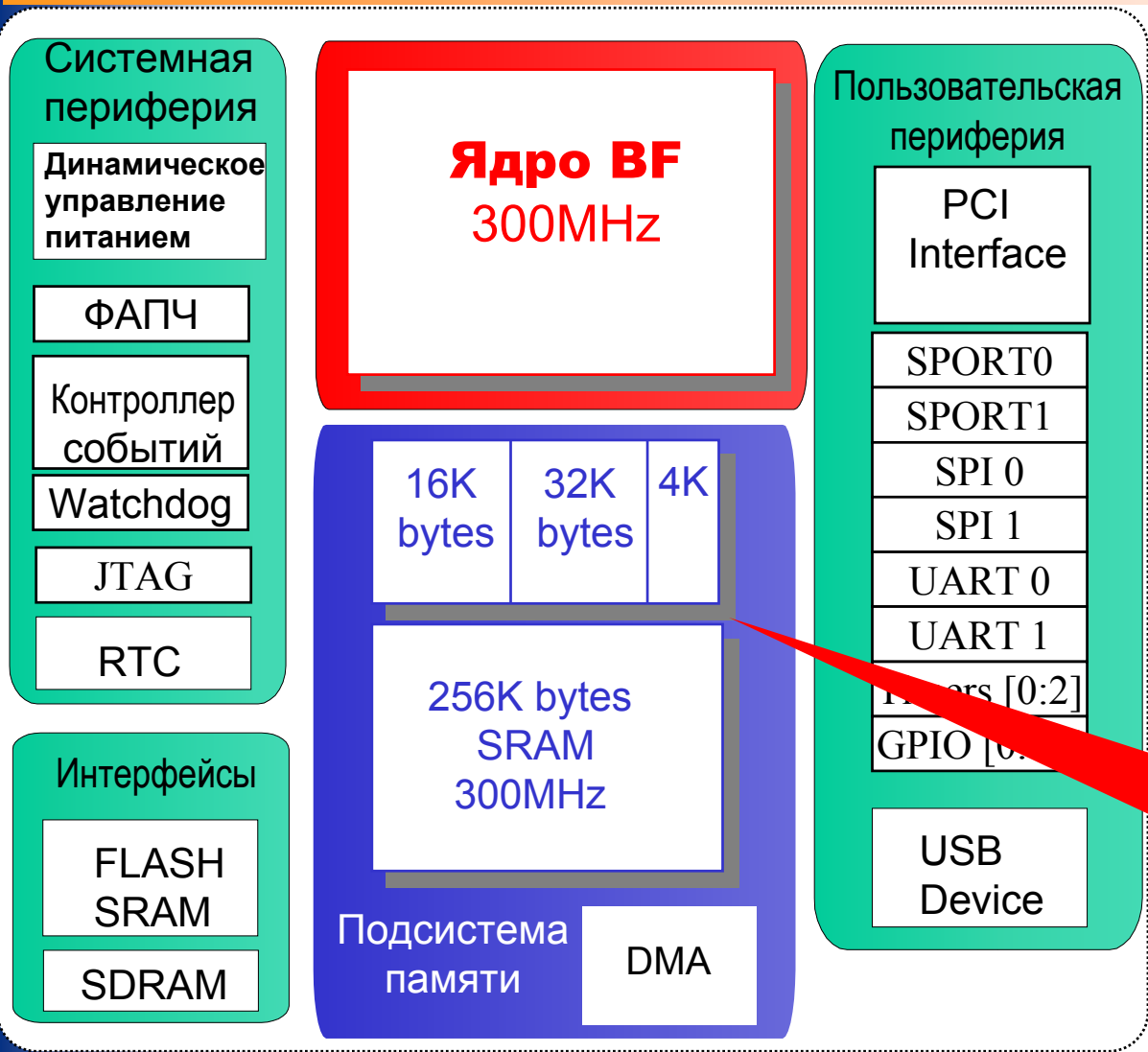
Блок адресной арифметики



Блок арифметики данных

Два 16-разрядных перемножителя
 Два 32/40-разрядных АЛУ
 Четыре 8-разрядных Video АЛУ
 Устройство сдвига
 Шестнадцать 16-разрядных мат.регистров
 (или восемь 32-разрядных мат.регистров)
 Два устройства генерации адреса,
 байтовая адресация.
 Восемь 32-разрядных регистра-указателя
 Четыре набора 32-разрядных регистров:
 Индекса, Модификации, Длины, Базы.
 16-разрядные, 32-разрядные и
 многооперандные 64-разрядные команды.
 Многоуровневый конвейер.

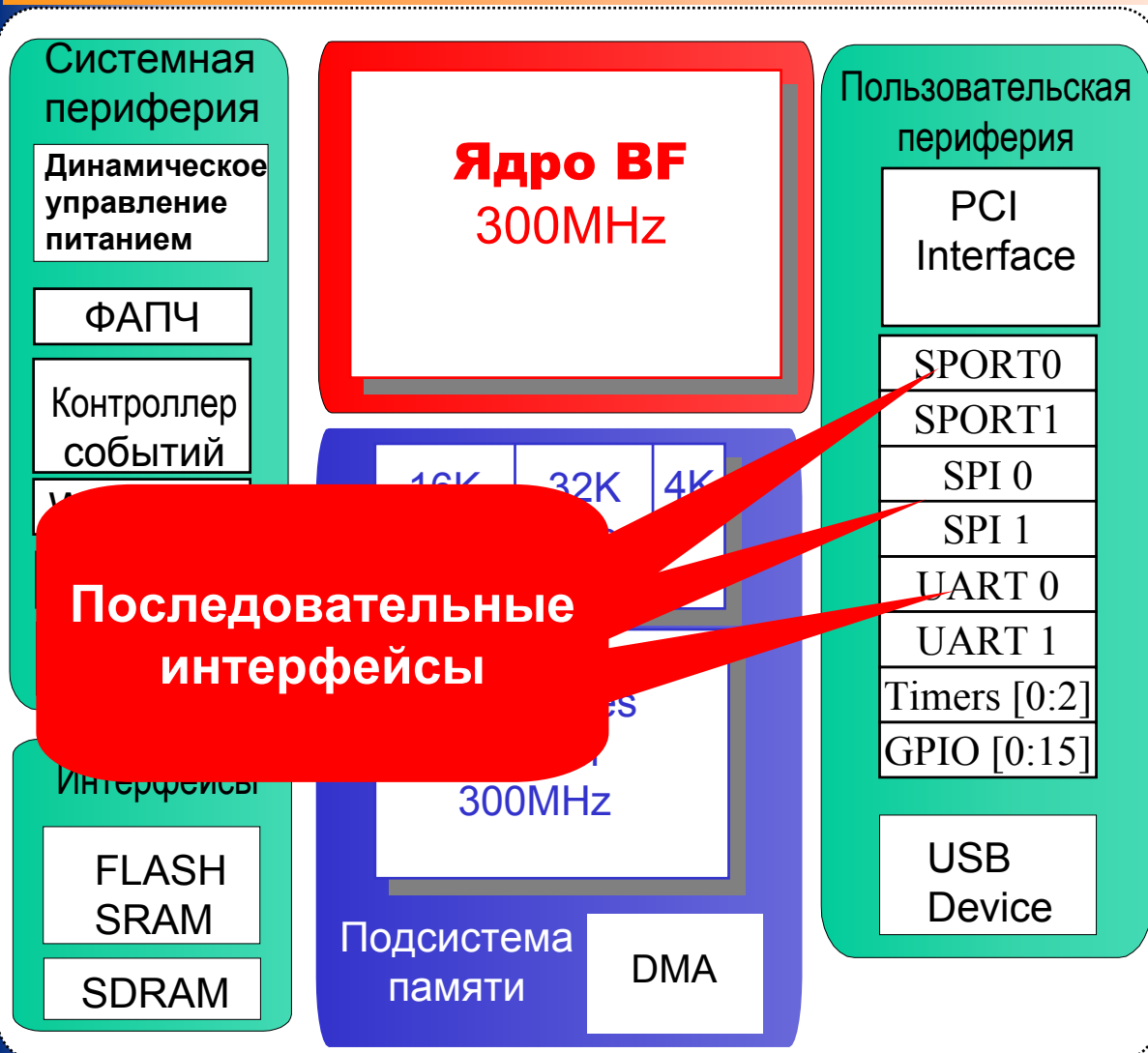
Память ADSP-BF535



- Модифицированная Гарвардская архитектура
 - Отдельные шина программ и две шины данных
- 308КБайт встроенной статической памяти / КЭШ
 - 52 К кэш L1
 - 256 К кэш L2
 - Единое пространство памяти L2

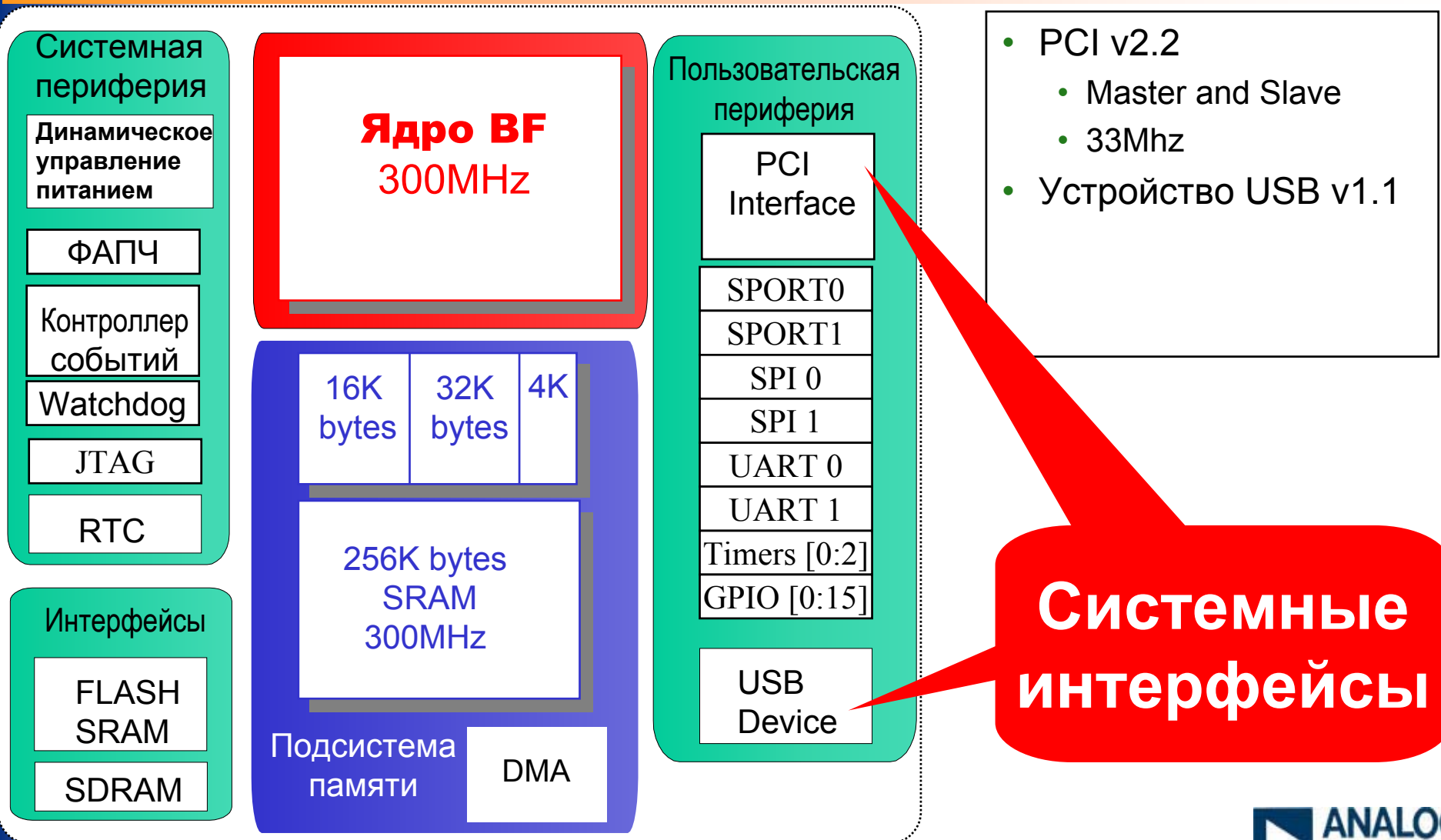
Память

Последовательные порты ADSP-BF535

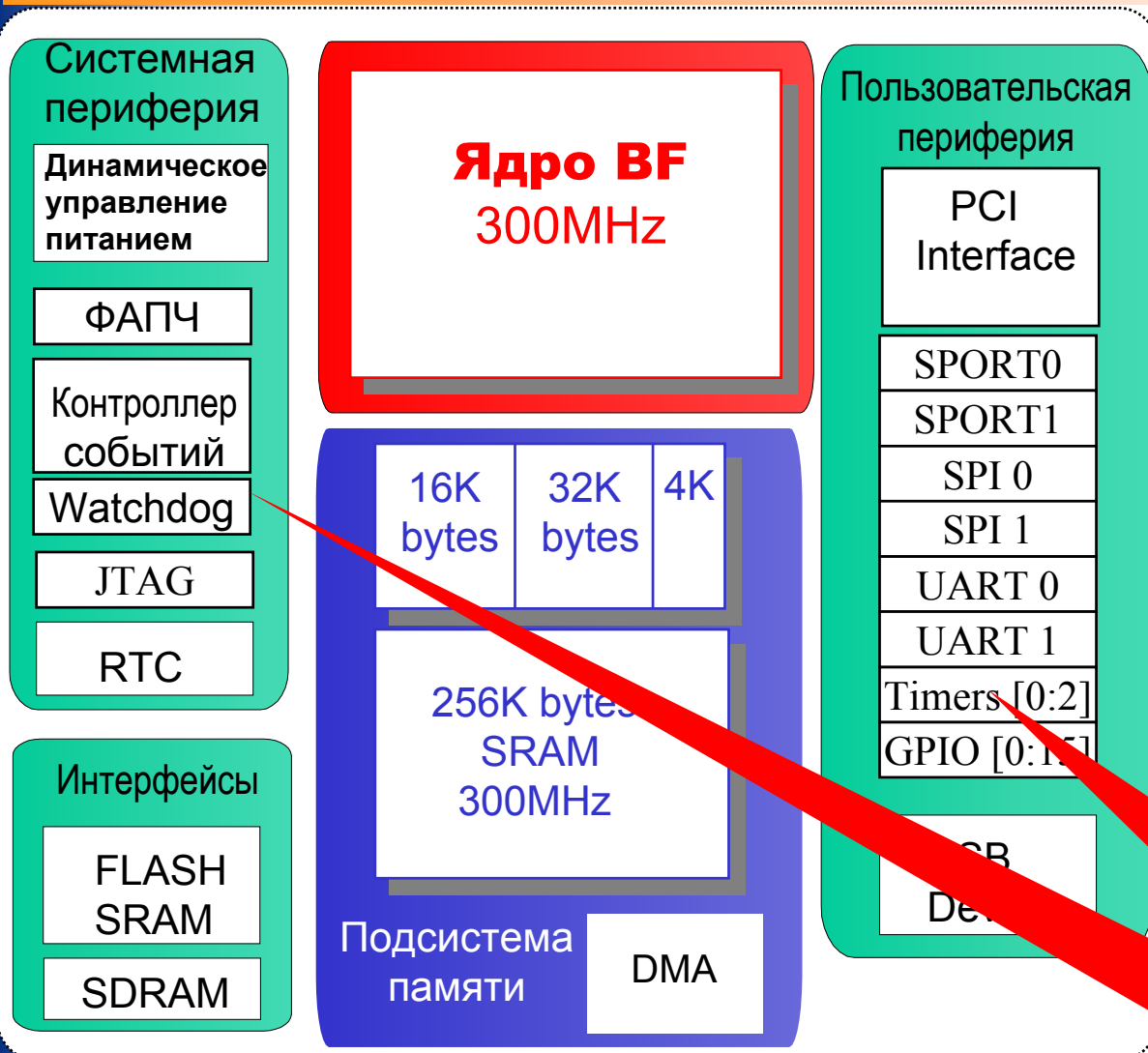


- Последовательный внешний интерфейс
 - Поддерживает драйверы LCD, A/D подсистемы и межпроцессорную коммуникацию
- Многоканальный последовательный порт
 - Полнодуплексный последовательный порт обеспечивает и отдельную, и одновременную передачу и прием данных
 - Может быть сконфигурирован для 6,8- или 16-разрядной длины слова
- Два порта UART
- Один порт IrDA

ADSP-BF535 Peripheral Controllers



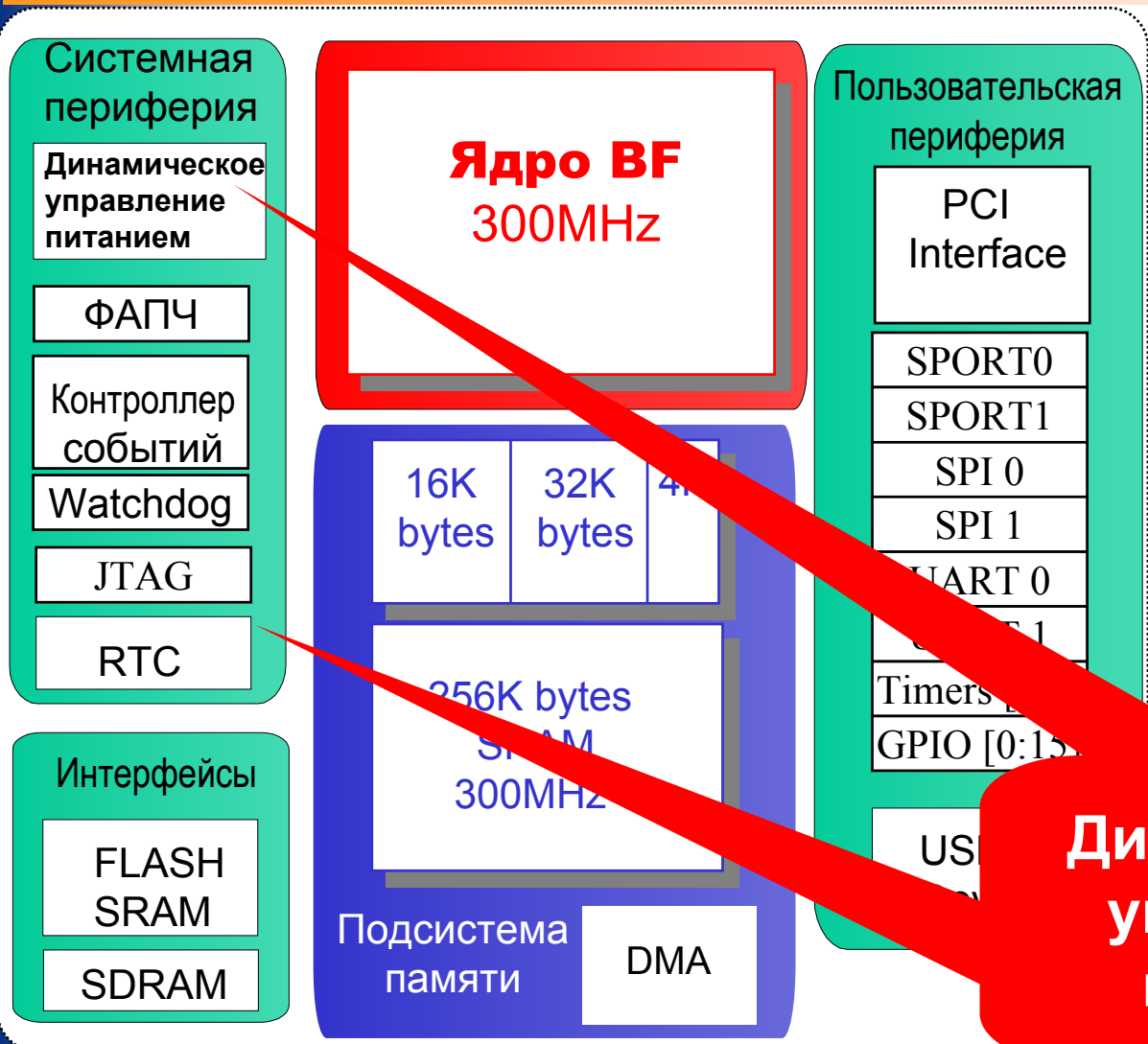
ADSP-BF535 Programmable Timers



- Три 32-разрядных таймера общего назначения
- Индивидуально программируются
 - Измерение длительности импульса
 - Широтно-импульсный генератор
 - Внешний источник импульсов
- сторожевой (Watchdog) таймер

Программируемые таймеры

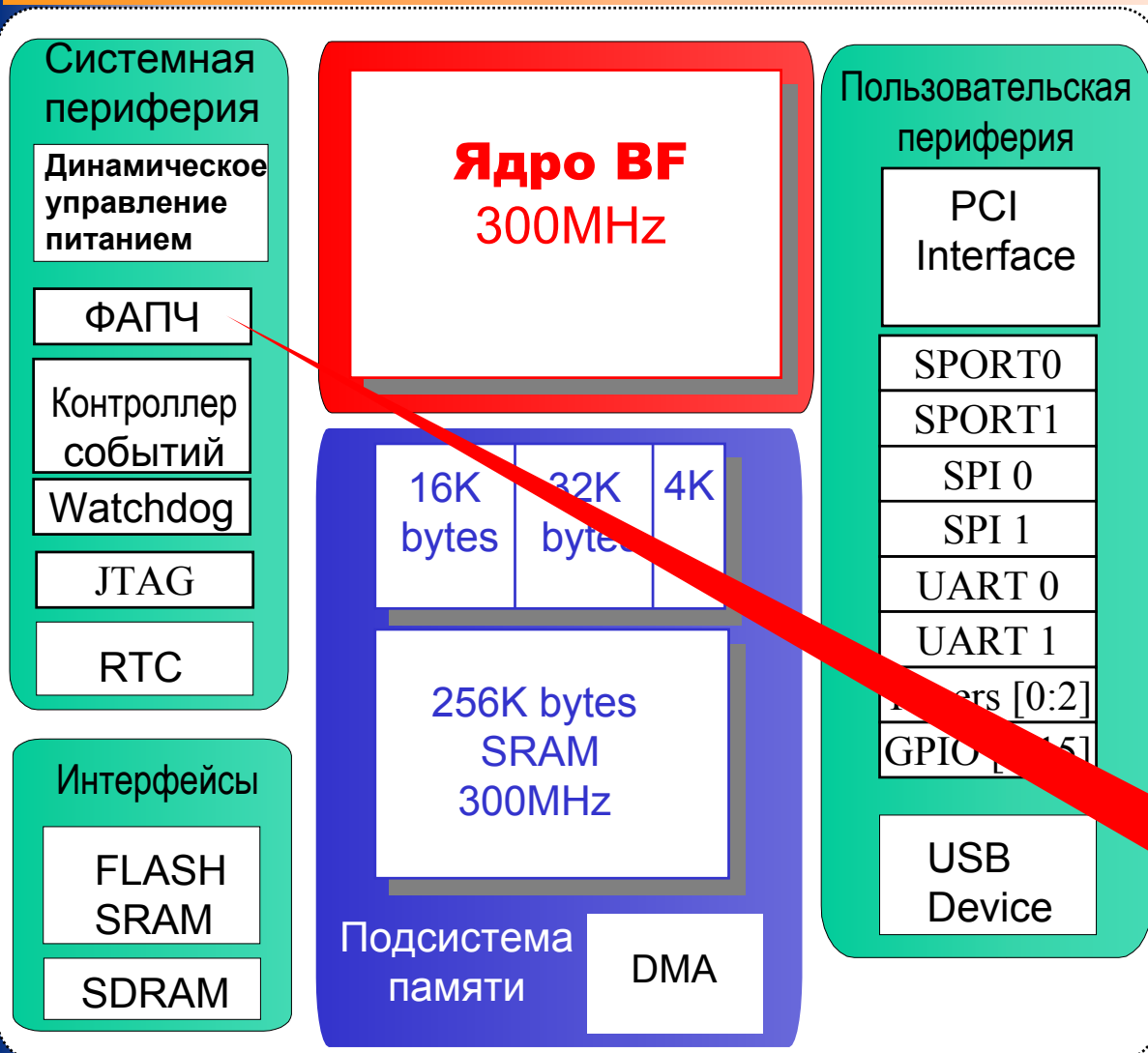
Управление питанием ADSP-BF535



- Гибкое управление питанием с возможностью переводить периферийные блоки в режим пониженного энергопотребления по отдельности
- 4 режима пониженного энергопотребления (idle)
- Динамически изменяется как частота процессора, так и напряжение питания
- Часы реального времени с функциями «будильника»

Динамическое управление питанием

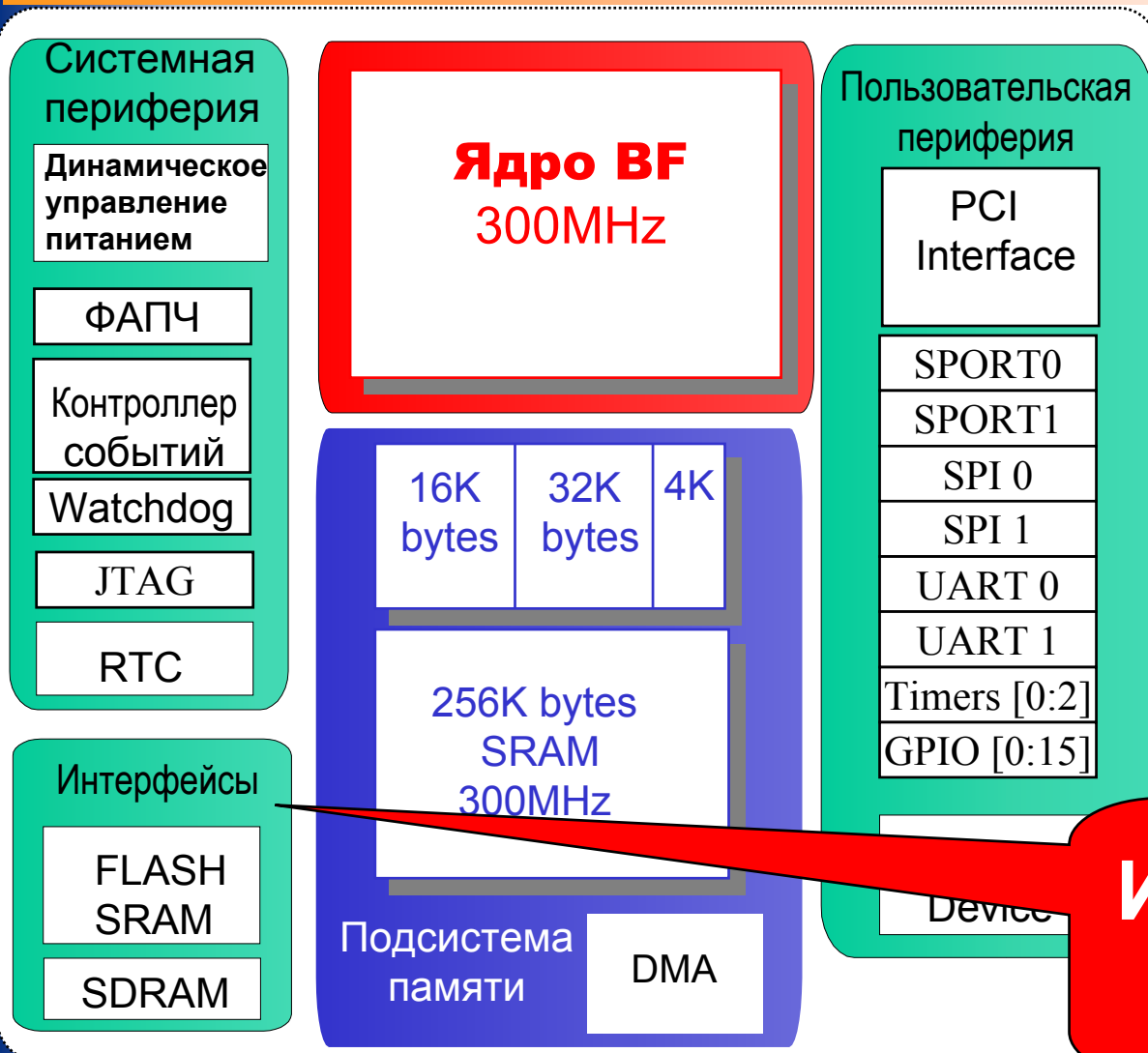
Тактовый генератор ADSP-BF535



- Выбор источника тактовых импульсов:
 - Кварцевый генератор: внешний кварцевый резонатор или источник тактовых импульсов
 - Программируемая ФАПЧ обеспечивает 1...31-кратное умножение частоты
 - Обеспечивает работу процессора на максимальной частоте при низкой частоте кварца или входных тактовых импульсов

Тактовый генератор

Интерфейс внешней памяти ADSP-BF535



- Синхронный и асинхронный интерфейсы
 - 20 разрядов адреса
 - 32 разрядов данных
 - Выбор из 4 банков
 - 16-разрядная или 32-разрядная память
- Управление интерфейсом SDRAM
 - Адресуемая память SDRAM 768Мбайт

Интерфейс памяти

Поставки BlackfinDSP

- **Средства разработки**
 - VisualDSP++™
 - EZ-ICE® and EZ-KIT™
- **Документация**
 - Data Sheet, HW/SW Ref
- **Собственно микросхемы:**
 - Образцы
 - Промышленные объемы
 - Цены:

Посетите www.analog.com/blackfin с целью получения дополнительной информации

Таблица для выбора BlackfinDSP

Part#	Частота процессора, МГц	Макс. Производительность, ММАС	Память, КВ	Ширина шины внешней памяти	Параллельный периферийный интерфейс	Шина PCI	USB	UART, таймеры, сторожевой (watchdog) таймер, часы	Напряжение питания ядра, В	Корпус
ADSP-BF535P	350	700	308	32	—	+	+	+	1,6	260 PBGA
ADSP-BF531	400	800	84	16	+	—	—	+	0,7...1,2	160 Mini-BGA, 176 LQFP
ADSP-BF532	400	800	116	16	+	—	—	+	0,7...1,2	160 Mini-BGA, 176 LQFP
ADSP-BF533	600	1200	148	16	+	—	—	+	0,7...1,2	160 Mini-BGA

Подробнее о ядре процессора



Свойства

– Высокая производительность

- ‘Новый стандарт’ производительности для DSP с возможностями контроллера

– Динамическое управление питанием

- Варьирует напряжение питания и частоту ядра процессора для оптимизации энергопотребления

– Развитая система мультимедийных команд

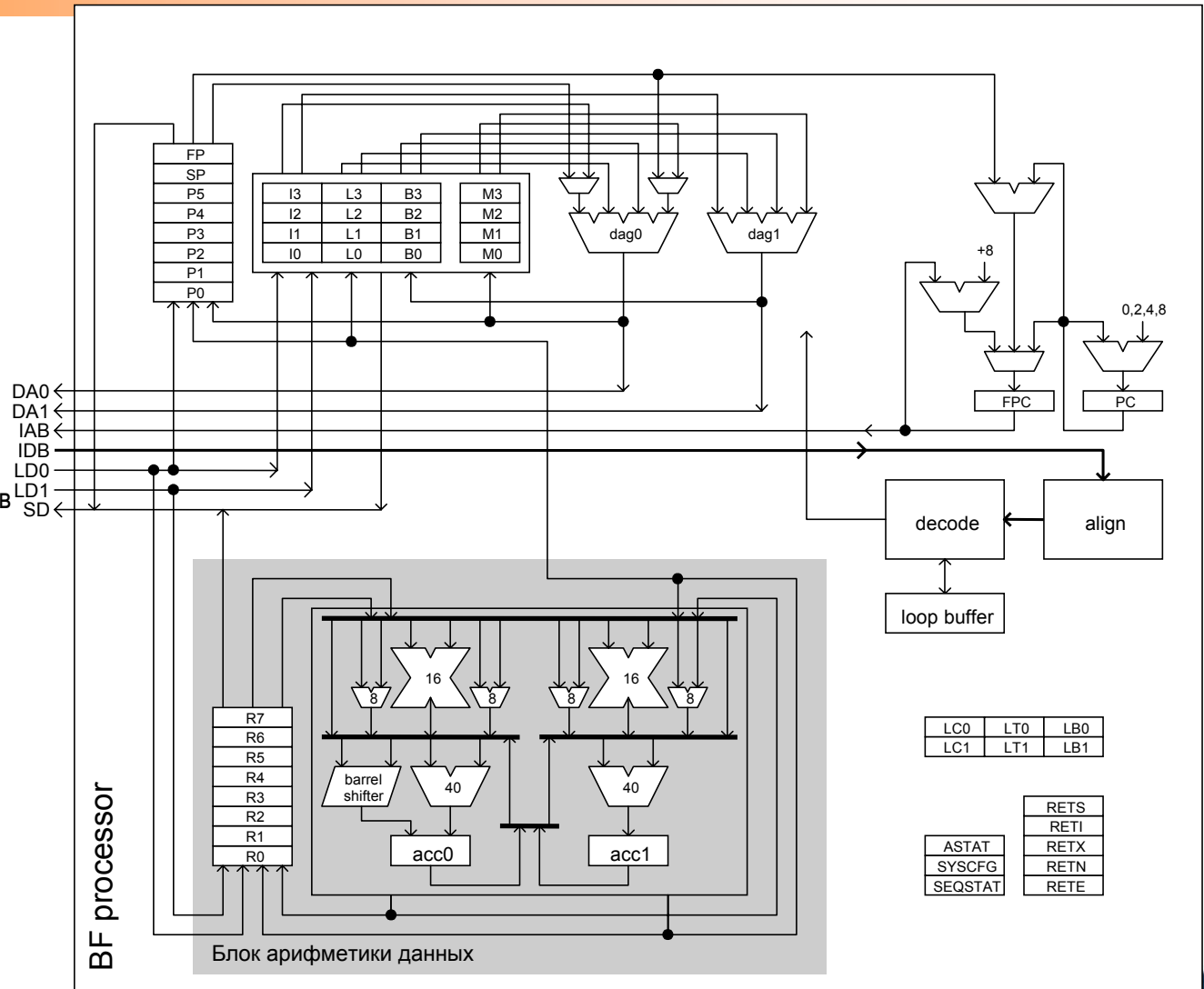
- Нацелен на обработку голоса, изображений, видео, аудио

– Оптимизирован для программирования на C/C++

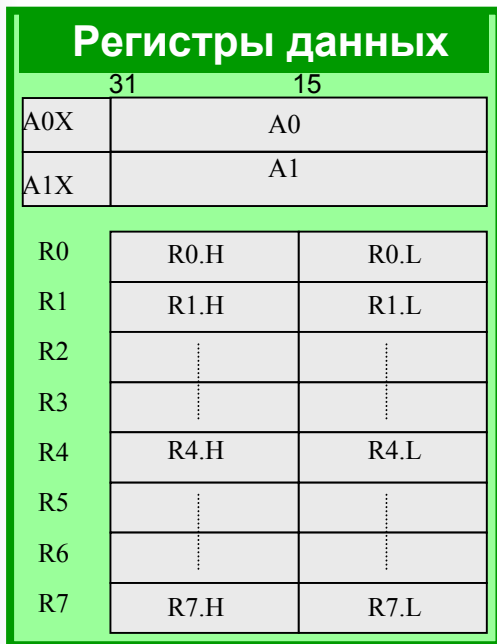
- Алгоритмы, написанные на C/C++, эффективны для данной архитектуры
- Высокая плотность генерируемого кода
- Эффективно выполняет команды управления

Архитектура ядра

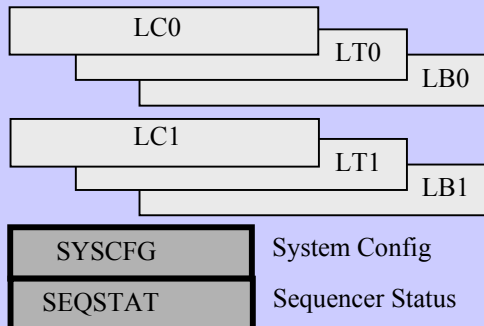
- Два 16-разрядных перемножителя
- Два 32/40-разрядных АЛУ
- Четыре 8-разрядных Video АЛУ
- Устройство сдвига
- Восемь 32-разрядных регистров данных (или шестнадцать 16-разрядных)
- Два устройства генерации адреса, байтовая адресация.
- Восемь 32-разрядных регистров-указателя адреса
- Шестнадцать 32-разрядных регистров генератора адресов с циклической и бит-реверсивной адресацией
- Программный стек для выполнения прерываний



Набор регистров



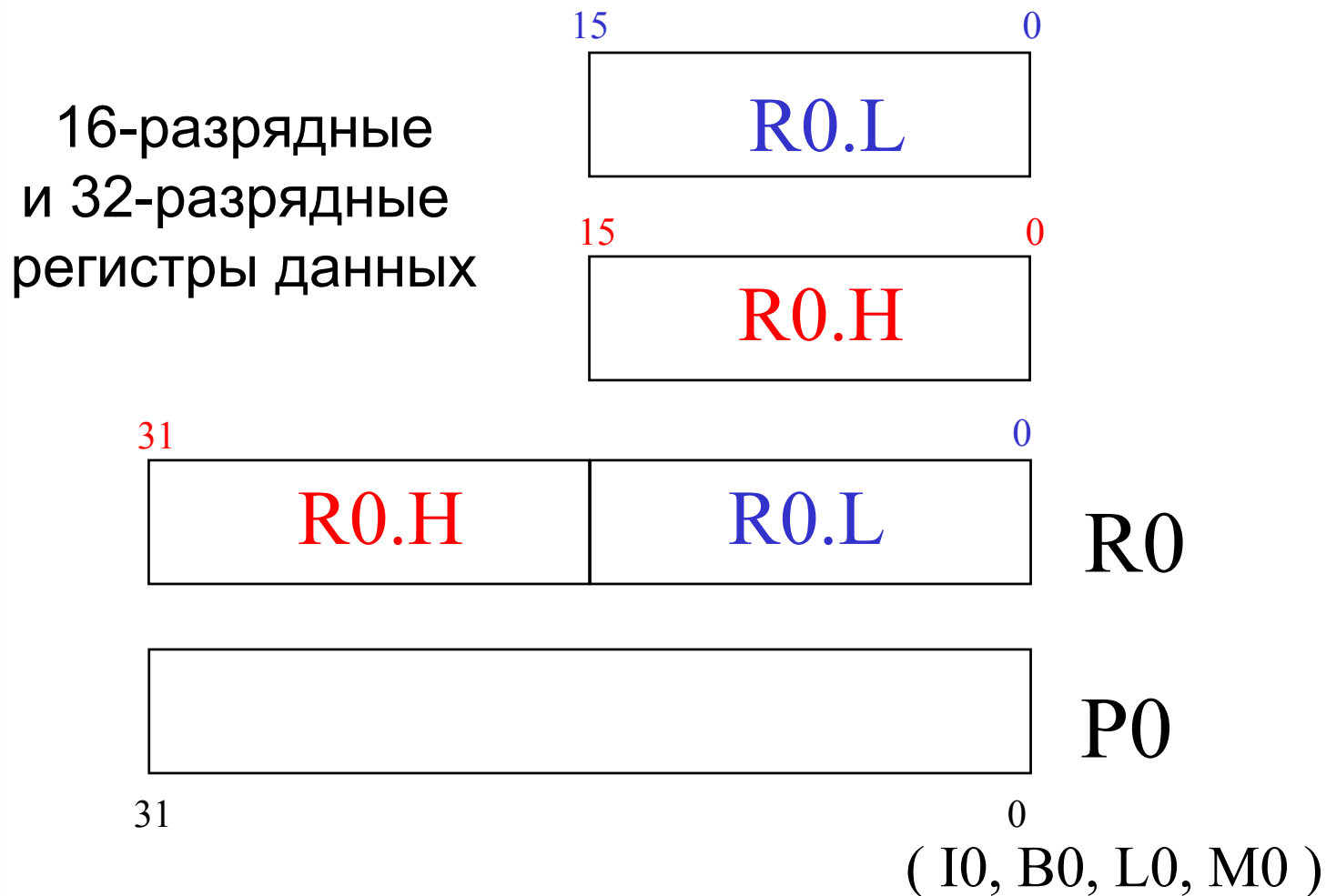
ASTAT	Arithmetic Status
RETS	Subroutine Return
RETI	Interrupt Return
RETX	Exception Return
RETN	NMI Return
RETE	Emulation Return



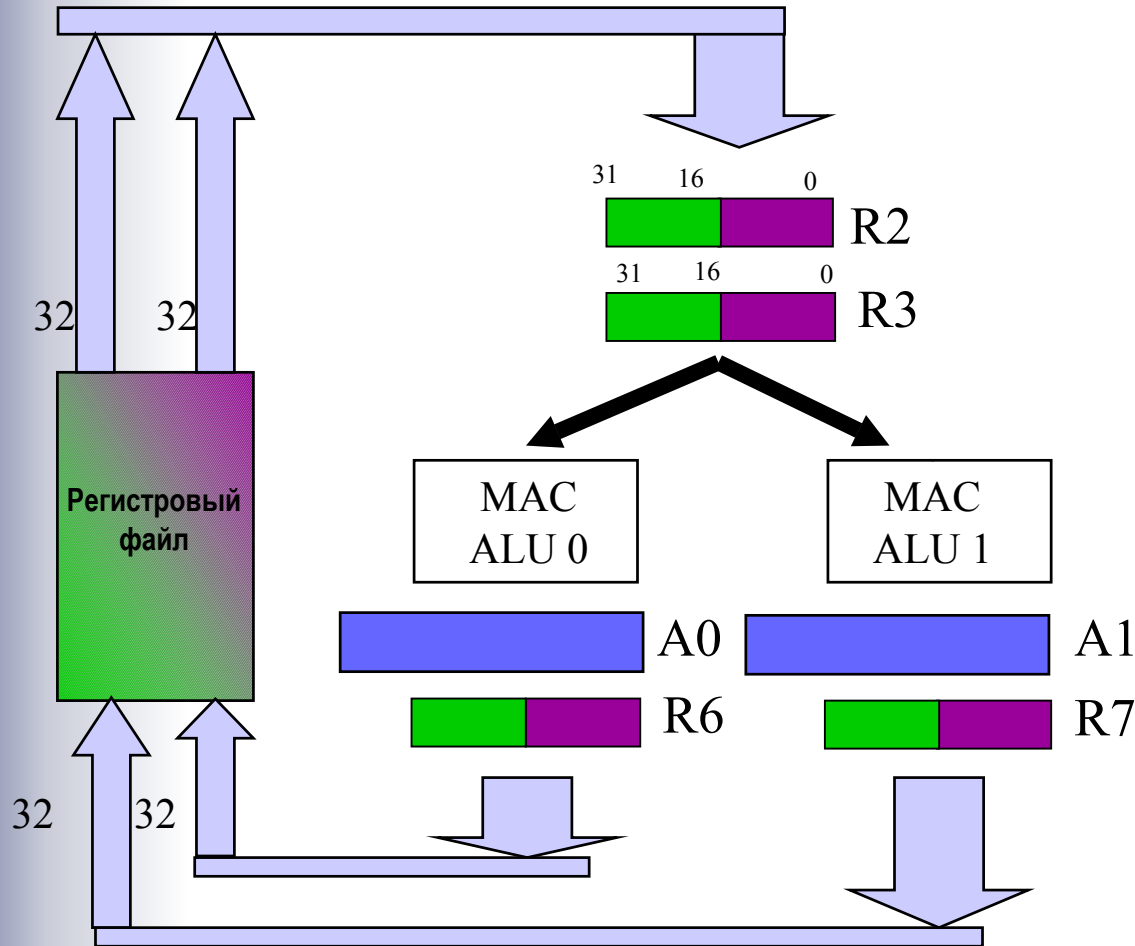
Loop Counter
Loop Top
Loop Bottom

**Системные
регистры**

Регистры



Регистры для математических операций



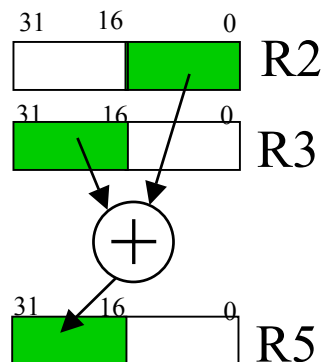
Двойные команды
ALU/MAC
– в сущности,
“векторные” функции

Работа
с двумя парами
операндов

Возможности АЛУ

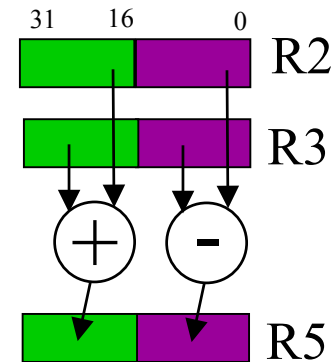
Одно
16-разрядное
сложение

$$R5.H = R2.L + R3.H$$



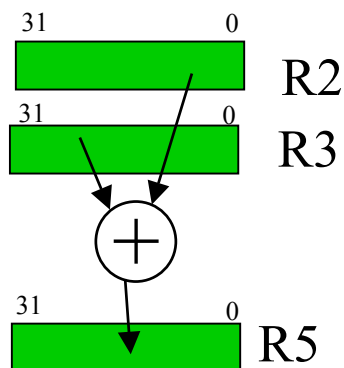
Двойное
16-разрядное
сложение

$$R5 = R2 + | - R3$$

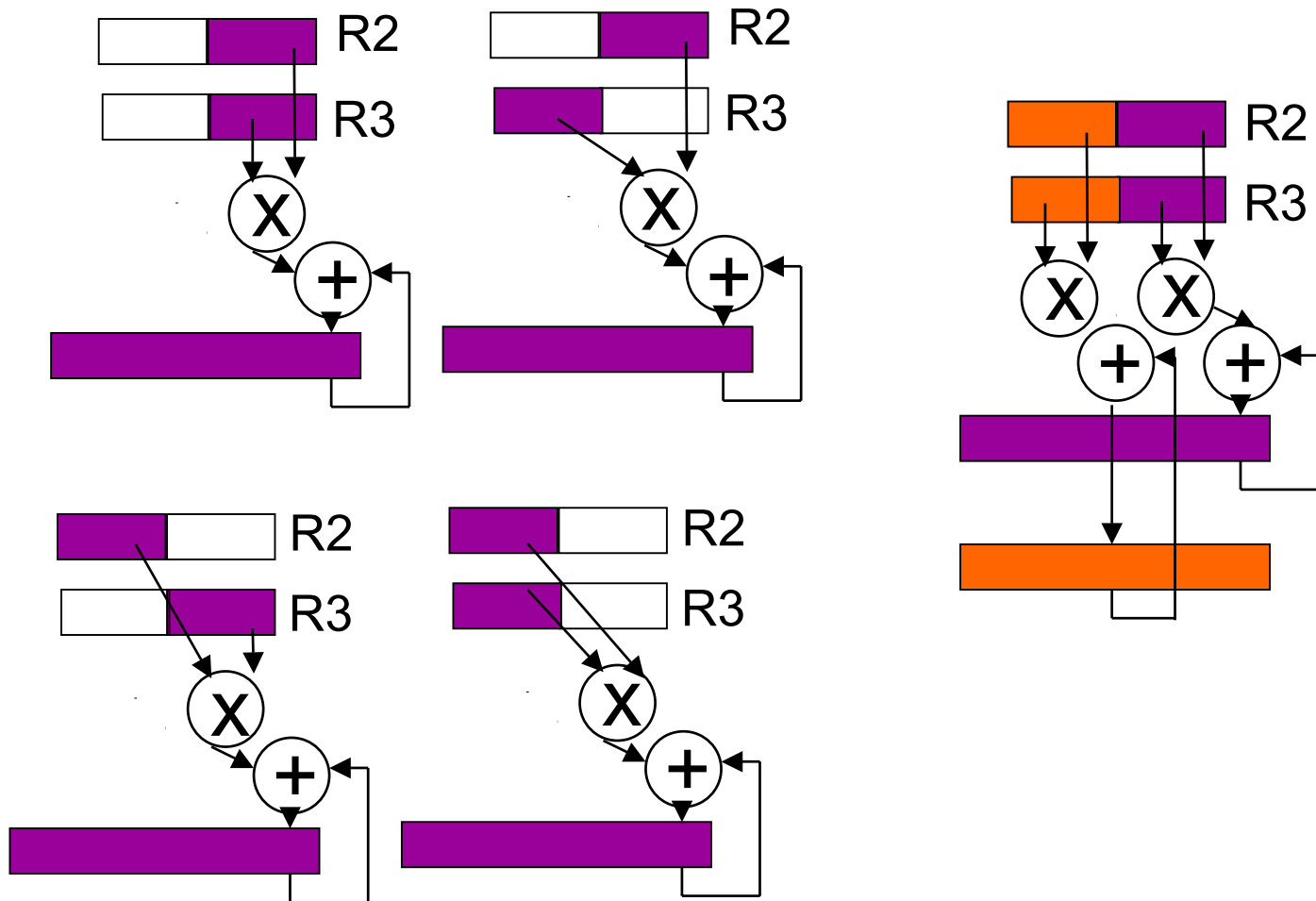


32-разрядное
сложение

$$R5 = R2 + R3$$



Возможности блока MAC



Типы данных

- 8-разрядные данные
 - целые со знаком или без знака
- 16-разрядные полуслова
 - целые со знаком или без знака
 - дробные со знаком (1.15)
- 32- разрядные слова
 - целые со знаком или без знака
 - дробные со знаком (1.31)
- Простые арифметические инструкции с данными разных типов
 - $R0.L = R3.H + R6.H ;$
 - $R0 = R3 + R6 ;$
 - $R0 = R3 +/- R6 ;$
 - $R1 = R2.L * R3.H$
 - $A1 += R1.H * R4.L$

Возможности устройства сдвига

- Арифметический сдвиг
- Логический сдвиг
- Сложение со сдвигом
- Сдвиг со сложением
- Циклический сдвиг

Устройства генерации адреса (DAG)



Четыре набора 32-разрядных регистров Индекса, Модификации, Базы и Длины для циклических буферов. Четыре регистра модификации могут использоваться с любым из регистров Индекса.

Доступ как к 16-разрядным, так и к 32-разрядным данным.

Шесть 32-разрядных регистра-указателя общего назначения.
Доступ к 8-, 16- и 32-разрядным данным.

Режимы адресации

- 8/16/32-разрядный обмен с регистрами данных или регистрами-указателями
 - Непосредственная
 - С автоинкрементом
 - С автодекрементом
 - Индексный со смещением
 - С постмодификацией с шагом, не равным единице
- Sign extension (default) or zero extension, or no extension
- Примеры инструкций:
 - $R0 = B [P2++] ;$
 - $R0.L = W [I3++] ;$
 - $R0 = [I3] ;$

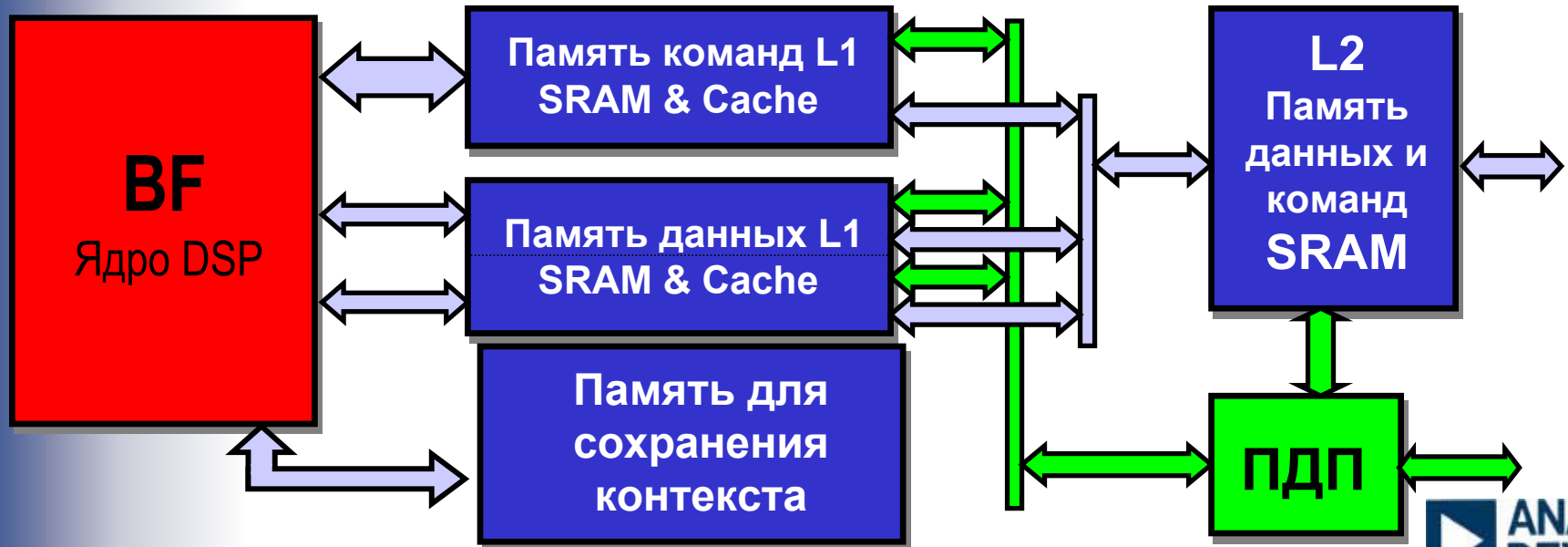
Конвейер команд

Выбор ком. 1	Выбор ком. 2	Декод. ком.	Адрес данн.	DMem1 RFR	DMem2 MAC1	ALU MAC2	PostWr RFW		
	Выбор ком. 1	Выбор ком. 2	Декод. ком.	Адрес данн.	DMem1 RFR	DMem2 MAC1	ALU MAC2	PostWr RFW	
		Выбор ком. 1	Выбор ком. 2	Декод. ком.	Адрес данн.	DMem1 RFR	DMem2 MAC1	ALU MAC2	PostWr RFW

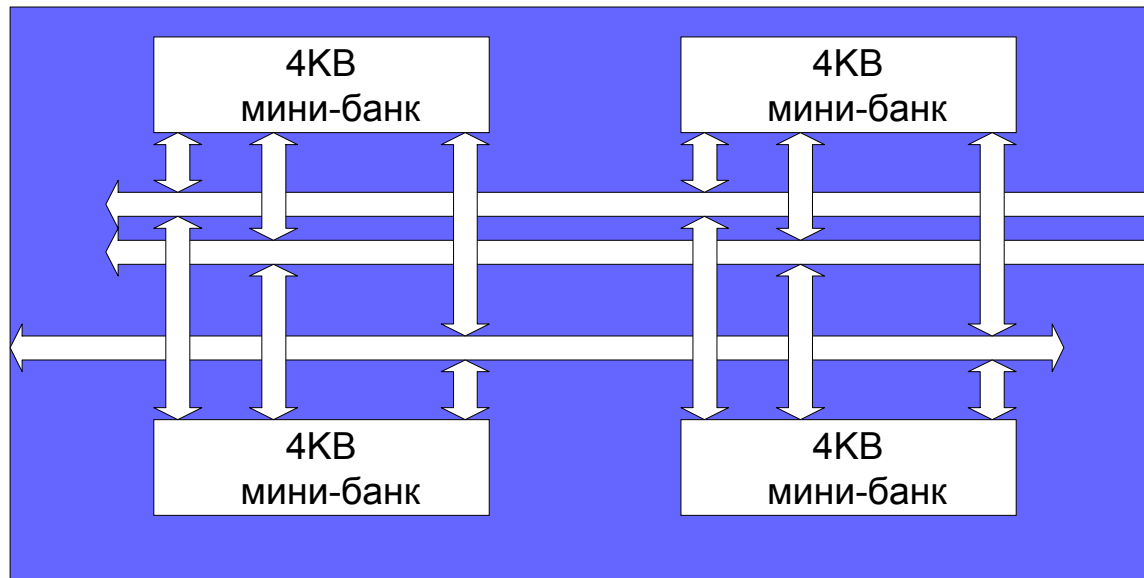
- 8-уровневый конвейер: 2 такта работы с памятью, 2 такта умножение с накоплением (MAC)
- Пересылка первичных данных (показано стрелками)
 - Без промежуточного хранения: Data Addr → Data Addr и/или MAC → ALU
 - С одним промежуточным хранением: ALU → MAC

Конфигурирование памяти процессора

- Поддержка одновременного доступа к двум переменным для цифровой обработки сигналов
 - Конфигурируемая иерархическая или одноуровневая модели памяти
 - Поддерживает доступ к 8-, 16- и 32-разрядным данным
- Отдельные кэши уровня L1 для команд и для данных
 - Многопортовая память данных уровня L1
 - Память уровня L1 может по отдельности конфигурироваться как SRAM или кэш



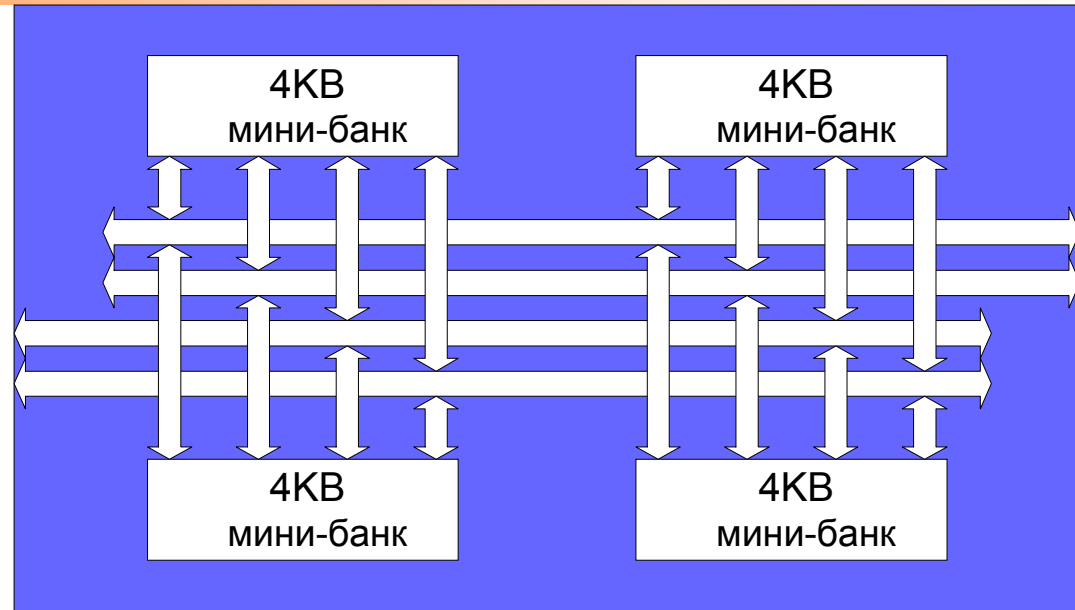
Память команд уровня L1



- 16KB SRAM
- Четыре 4KB однопортовых мини-банка
- Позволяют осуществлять одновременный прямой доступ
- 16 KB кэш
- Каждый мини-банк представляет собой кэш 4KB
- Если сконфигурирован как кэш, нет прямого доступа к памяти (DMA)

Память данных уровня L1

Два 16КВ
блока, каждый
состоит из
четырёх 4КВ
однопортовых
минибанков



- 32K SRAM
- Одновременный доступ к двум переменным
- Прямой доступ к памяти (DMA)
- 32K кэш
- Каждый мини-банк представляет собой кэш 4КВ
- Нет прямого доступа к памяти (DMA)

Многопортовый доступ к данным возможен при использовании различных минибанков

Управление памятью

- Блок управления памятью
 - Кэширование и защита буферов быстрой переадресации (look-aside buffers)
 - 32 блока сравнения адресов на всех шинах адреса ядра процессора
 - Свойства кэша/защиты определяются с учетом установленного размера страниц (1К, 4К, 1М, 4М байт)
 - Защита пользователь/окружение, и пользователь/пользователь (память и ядро процессора)
 - Продукт в будущем будет обеспечиваться системами для Palm, WinCE и другими операционными системами

Параметры блока управления памятью

- Размер страницы
- Dirty/Clean, Valid/Invalid
- Interruptible/Non-interruptible
- Write-through/Write-back
- Cacheable/Non-cacheable
- Supervisor/User access protection bits
- Read/Write protection bits
- Descriptor lock bit

Видео оптимизация

- Дискретное косинусное преобразование 8*8 DCT
менее чем за 300 циклов
 - Два блока MAC максимизируют производительность
 - Округление IEEE 1180 Rounding максимизирует эффективность
- Оценка движения
 - Выполняет четыре операции Суммы Абсолютных Разностей за один цикл
- Кодирование по Хаффману
 - Команды Field Deposit / Extract
- Поддерживает стандарты коммуникационных протоколов 2G and 3G
 - Голосовые кодеки: On-The-Fly Saturation Arithmetic
 - Канальные кодеки: в набор команд входят: комплексная математика, перемежение бит, Population Count, Viterbi Dual Add-Compare-Select, and CRC

Стеки и прерывания

- В процессоре BlackfinDSP имеется полностью программный стек с командами Push и Pop:
- $[--SP] = (R7:5); \quad // \text{Сохранить регистры в стеке}$
- $(R7:5) = [SP++]; \quad // \text{Извлечь регистры из стека}$
- В процессоре BlackfinDSP нет аппаратного стека... И нет альтернативного набора регистров (shadow registers)...

Переключение контекста и организация прерываний



- Для полного переключения контекста требуется около 100 циклов
 - Сохранение/восстановление 44 регистров (88) + возврат (3) + отработка инструкций, находящихся в конвейере (8)
 - ОС для встроенных систем требуют около 265 циклов для прерывания, куда входят также:
 - Вычисление приоритетов задач, установка таймера, перевод из спящего режима в активный и т.д.
- На прерывание требуется от 15 до 100 циклов, в зависимости от числа сохраняемых регистров

Переключение контекста и прерывания:



временные затраты

Переключение контекста

- Если на переключение требуется 265 циклов, то процессор Blackfin с частотой 300 МГц затрачивает на это 0.88 мкс.
- С точки зрения загрузки процессора переключение контекста занимает (в относительных единицах):
 - 0.088% при 1000 переключений в секунду
 - 0.88% при 10000 переключений в секунду
- Обычно в системе не требуется больше 1000 переключений в секунду

Прерывание

- Если на прерывание требуется 27 циклов, (сохраняется 8 регистров) то процессор Blackfin с частотой 300 МГц затрачивает на это 0.09 мкс.
- С точки зрения загрузки процессора прерывания занимают (в относительных единицах):
 - 0.09% при 10000 прерываний в секунду
 - 0.9% при 100000 прерываний в секунду
- Обычно в системе не требуется больше 100000 прерываний в секунду

В наихудшем случае задержки на прерывания и на переключение контекста не займут более 2% времени



Встроенные средства отладки

- **Процессор обеспечивает:**
 - **Программную обработку исключительных ситуаций**
 - Точки останова отладчика, доступ операционной системы, текущие исключительные ситуации
 - **Аппаратные точки останова**
 - 6 блоков сравнения регистров, 3 останова по состоянию счетчиков
 - **Счетчики производительности**
 - 3 счетчика для подсчета циклов или событий
 - **Система отслеживания переходов**
 - Сохраняются 16 последних значений программного счетчика до инкремента
- **Отладка посредством интерфейса JTAG**

Производительность



Производительность BlackfinDSP

- Код для DSP обычно представляет собой программу на Си с участками кода на ассемблере. Оценка производительности подразумевает:
 - **Размер кода откомпилированной программы:**
 - Размер кода **BlackfinDSP** сопоставим с размером кода для ARM7T
 - **Время выполнения кода:**
 - Результаты тестов **BlackfinDSP** показывают гораздо меньшее время исполнения кода по сравнению с процессором TI C55xx (по результатам EDN OOB)
 - **Производительность ядра для программы на ассемблере:**
 - Результаты тестов **BlackfinDSP** показывают гораздо лучшие результаты по основным методам вычисления производительности (DSP Benchmarks) по сравнению с результатами процессора TI C5510

Размер кода BlackfinDSP

в сравнении с другими процессорами



	ARM7T	Blackfin
cntl	228	140
ednjpeg	1,460	1,572
g721	560	382
fft	868	918
kern	4,128	4,352
sfrm	8,120	7,278
sfrmNC	4,408	3,858
tcp	6,896	7,792
vad	2,828	3,080
zfsm	124	154
Всего	29,620	29,306
В процентах	100%	99%

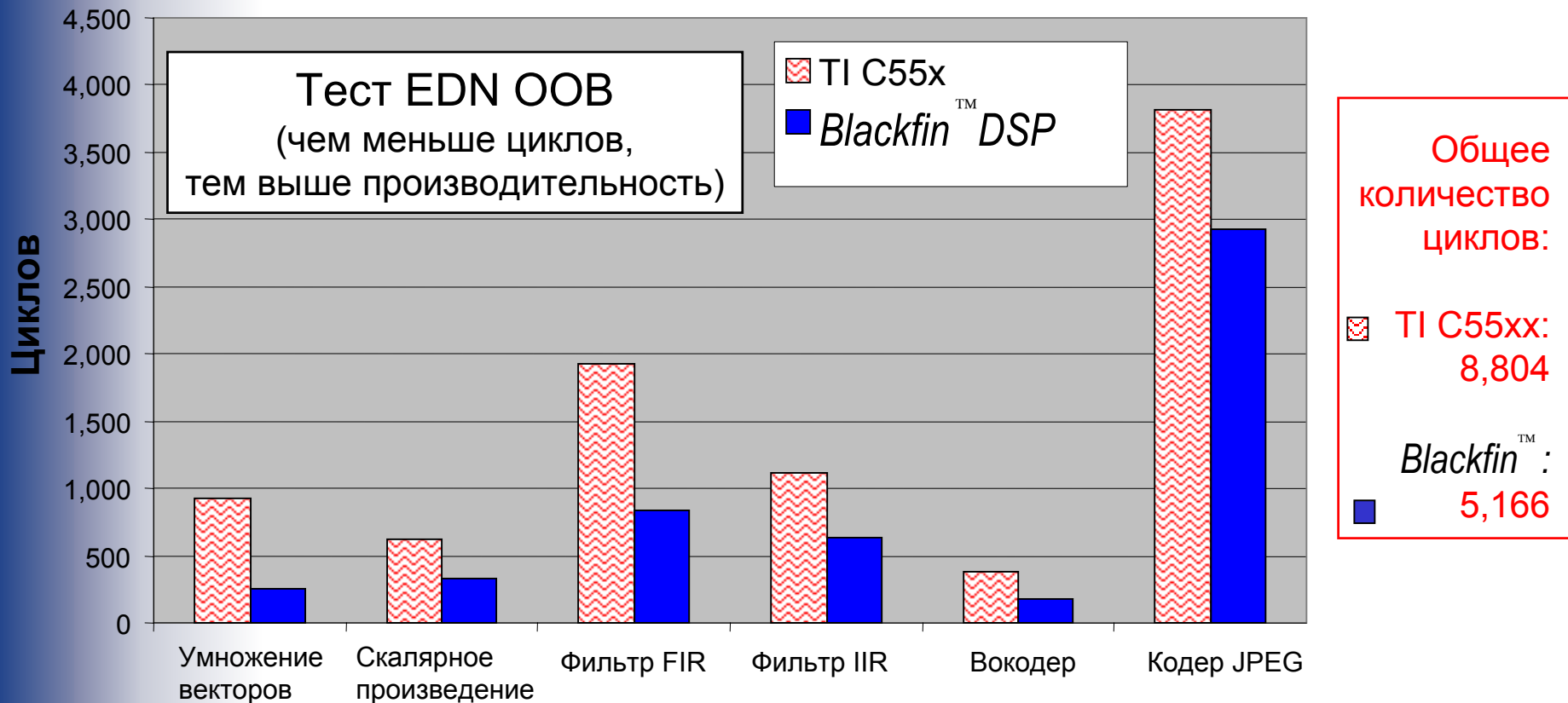
**Тест
плотности кода
ADI / Intel**

ARM7T Compiler, 9/00 SDT 2.51
*BLACKfin*TM DSP Compiler, 2/01

Источник: ADI / Intel



По скорости исполнения кода BlackfinDSP показывает лучший результат по сравнению с TI C55x



Источник: ADI / Intel



Ядро процессора BlackfinDSP лучше оптимизировано для DSP, чем TI C55x



Описание теста	Blackfin DSP *1	C55x *2	Blackfin Выигрыш по числу циклов
Адаптивный LMS фильтр	1.5 h + 4.5	2 h + 5	25%
Операция «бабочка» Radix 2 Kernel *3	3	5	40%
Комплексное БПФ на 256 точек без BR *4	4117	4960	17%
Фильтр FIR	$(x/2)(2+h)$	$(x/2)(4+h)$	-
Комплексный FIR фильтр	2 h + 2	2 h + 4	-
Поиск максимума	0.5 x	x	50%
Поиск максимального индекса	0.5 x	3 x	83%
Биквадратный фильтр IIR	2.5 bq + 3.5	4 bq + 5	37%

h = # taps, x = # samples, bq = # biquads

*1 Источник www.adi-intel.com

*2 Источник www.ti.com/sc/docs/products/dsp/c5000/55xbench.htm

*3 Out of place *4 In place

Число циклов, требуемое для выполнения алгоритма

Вещественный FIR фильтр, N отсчетов T коэффициентов	$NT/2$
Комплексный FIR фильтр, N отсчетов T коэффициентов	$2NT$
Вещественный адаптивный LMS фильтр, N отсчетов T коэффициентов	$5NT/2$
Биквадратный IIR фильтр, N отсчетов, порядок B	$5NB/2$
Макс. Или мин. из N отсчетов, с индексом или без	$N/2$
Комплексное БПФ на 256 отсчетов 2-точечное	3176
Витерби для GSM	6357
8x8 Дискретное косинус-преобразование	284
8x8 обратное дискретное косинус-преобразование	404
$N \times N$ Sum of Absolute Differences (SAD)	$N^2/4 + 2$
$N \times N$ Sum of Squared Differences (SSD)	$3N^2/4$
$N \times N$ Classical ZigZag Scan	$N^2 + 4$
$N \times N$ Motion Compensation	$N^2/4$
Image convolution with 3x3 kernel	5

Сравнение архитектур

	21xx	BF	C55x
MHz	80 - 300	300 - 1,000	160-400
MMACs	80 - 300	600 – 2,000	320 – 800
Динамическое управление питанием	No	YES	No
Объем кода	1	0.55	?
MACs	1	2	2
ALUs	1	2	2
Устройства сдвига	1	1	1
Видео АЛУ	-	4	-
Длина слова данных	16-bit	8-, 16-, 32-, 40-bit	16-, 32-, 40-bit
Адресное пространство кода	8 Mbytes	4,096 Mbytes	16 Mbytes

Спасибо за внимание

